



AHEAD OF WHAT'S POSSIBLE™

# 优化模拟集成的四大支柱



# 技术和无线电设计

- ▶ 射频和微波无线电设计很困难
- ▶ 系统要求因应用和客户而异
- ▶ 系统知识和前沿技术的结合可提供成功的解决方案



# 普遍真理 集成是好事

在半导体行业，50年的传统已经建立起**集成是公认好事**的观念。

**集成**使得产品：

- ▶ **更好**（功耗更低、尺寸更小.....）
- ▶ **更快**（高时钟频率，而且缩短了上市时间.....）
- ▶ **更便宜**（BOM、开发成本、总拥有成本.....）



# 集成的驱动力

- ▶ **缩小尺寸**：对于许多基础设施应用越来越重要 - 例如蜂窝基站，随着通信技术从2T2R发展到4T4R、16T16R、64T64R
- ▶ **降低成本**：更少的封装，测试完整信号路径（而不是先测试单个器件，再测试完整信号路径），更少的掩模组
- ▶ **降低复杂性/缩短产品上市时间**：从客户的角度来看 - 要管理的器件更少，客户工程工作量更少，更简单的PCB，完整的信号路径性能规格（而不是单个器件性能规格）
- ▶ **改进性能**：通过删除/简化接口
- ▶ **降低功耗**：通过新的分割方法和新颖的架构

# 普遍真理

更高集成度是好事.....直到不是为止

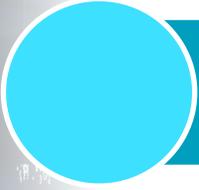


**即使对于片上系统解决方案，最佳解决方案一般也不是单个芯片，而是3到5个适当的芯片**

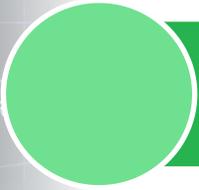
# ADI集成的指导思想



为客户增加价值



提供经过验证的解决方案



降低CSWaP

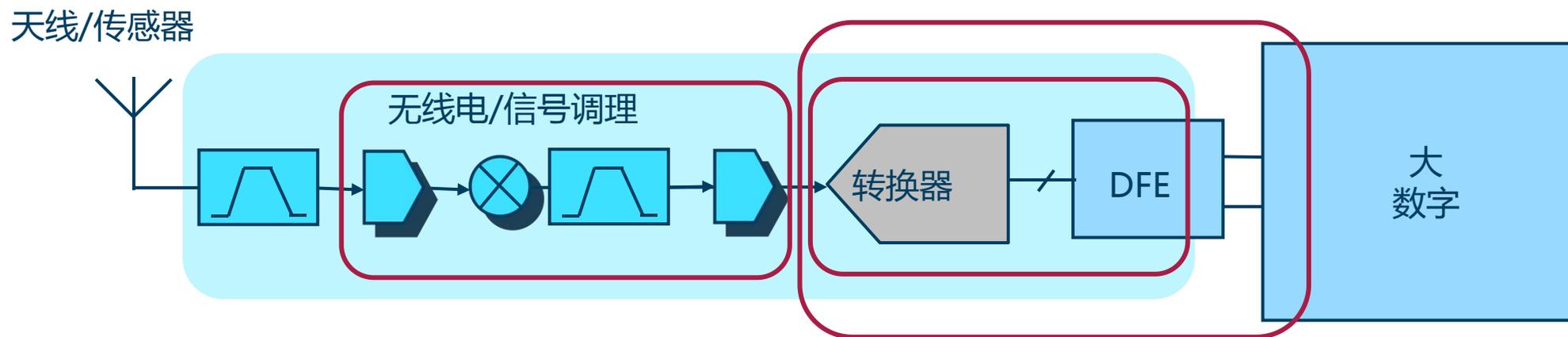


支持新架构

# 系统解决方案的集成

- ▶ 灵活、模块化、可扩展的系统 → 降低开发成本，缩短产品上市时间
  - 随信号链扩展的功能向无线电芯片移动
  - 集中/独特的功能保留在中央芯片上
- ▶ 优化功率并在系统中分配
  - 数字功率的扩大比例为 $\lambda^{1.5}$ ，面积的扩大比例为 $\lambda^2$ ，因此功率密度随着时间推移而增加
  - 无线电中的DFE特性 → 分布更均匀的系统功率，降低接口带宽要求
- ▶ 简化
  - 减少昂贵的数字I/O（板布线、干扰、电源）
  - 简化困难、复杂、昂贵的模拟I/O
    - 适当的分割可简化硬件，消除无法集成的器件
    - 保持高性能
  - 客户易用性 - API和固件

# 分割和混合信号集成



- ▶ **工艺技术**：不同模块的最佳工艺可能不同：PA、模拟、大数字、存储器。它可能会随着时间而改变。
- ▶ **系统外形**：可能需要考虑尺寸/形状。
- ▶ **经济性**：设计的稳定性、应用的规模。
- ▶ **ADI方法**：简化难点 - 无线电设计。

# 应用推动技术发展

## 高性能模拟和混合信号

- ▶ 世界上性能最佳的高速数据转换器，适用于窄带和宽带应用
- ▶ 完整的无线电信号链器件组合，覆盖10 MHz至100 GHz无线电应用

## 完整的多通道无线电收发器

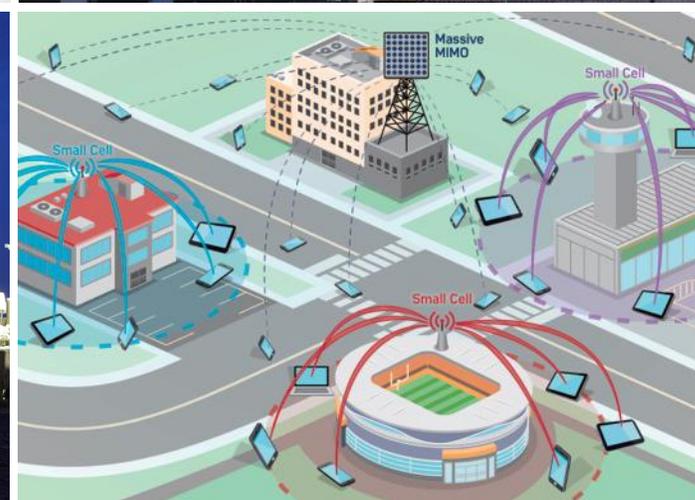
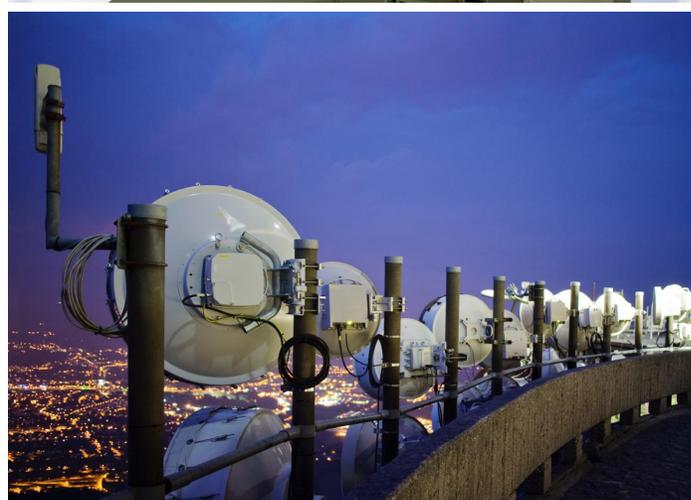
- ▶ 天线阵列驱动对高密度无线电通道的需求
- ▶ 严苛的无线基础设施标准要求正交纠错(QEC)、DPD

## 射频转换器和毫米波无线电模块

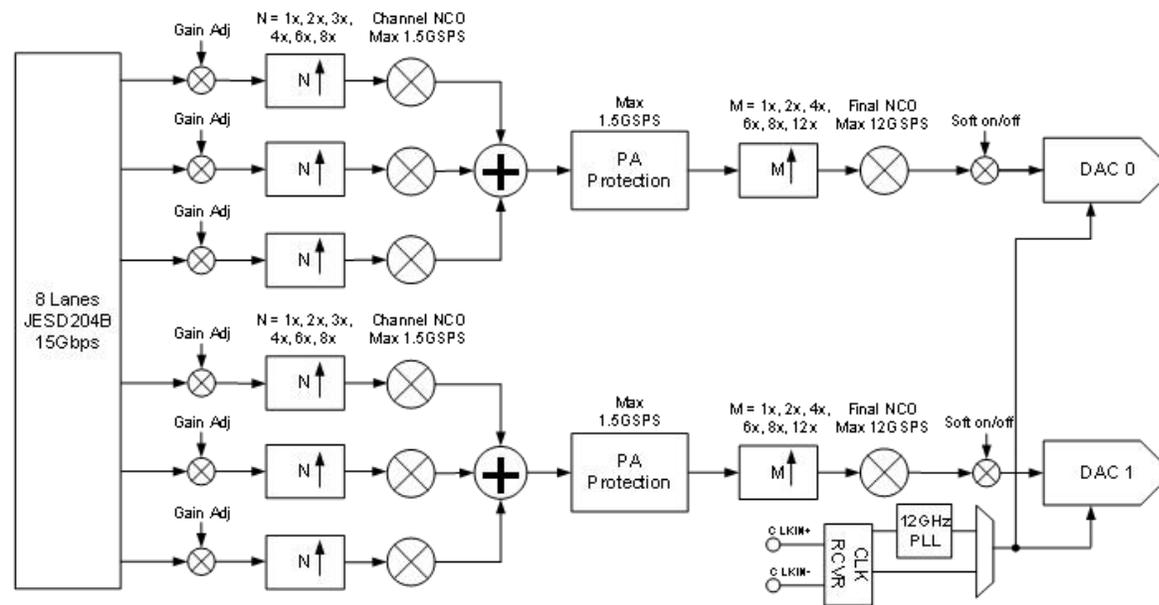
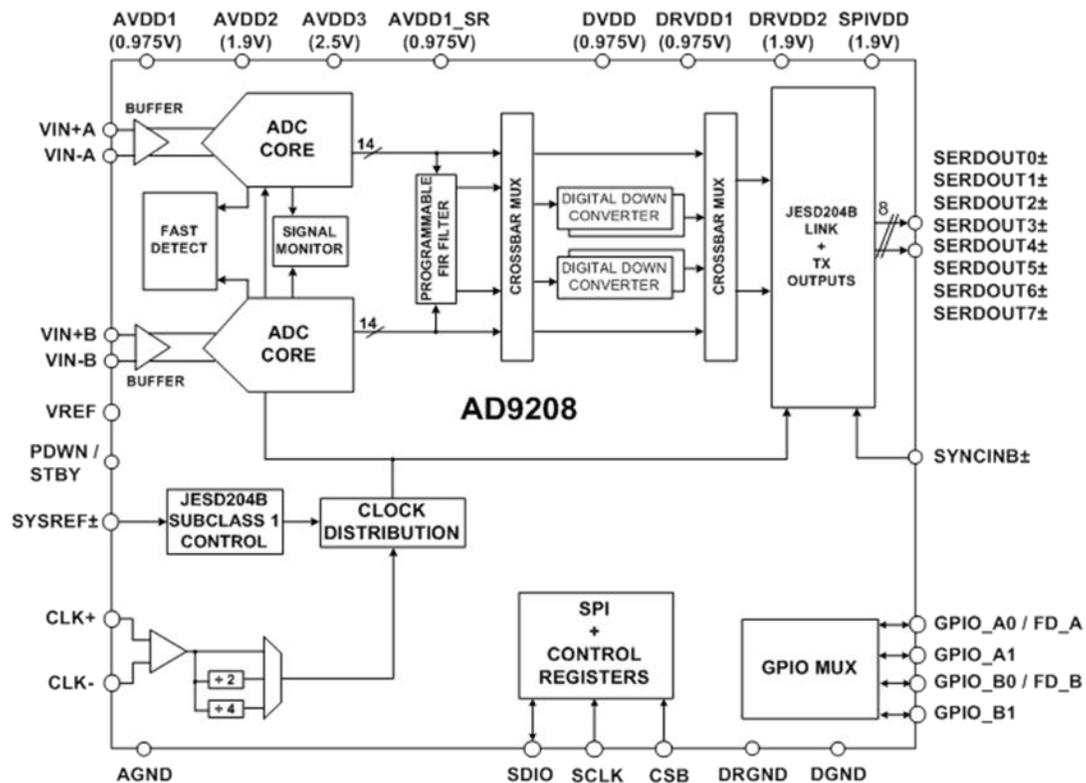
- ▶ 宽带软件定义无线电系统需要宽带宽(>4 GHz)
- ▶ 用于雷达和仪器仪表的毫米波无线电器件

## 数字预失真(DPD)算法

- ▶ 用于高效率窄带功率放大器(<400 MHz)的无线基础设施DPD
- ▶ 电缆全双工DPD线性化宽带功率放大器(> 1 GHz)



# 射频转换器的单片集成



经验证的性能 - 深亚微米工艺支持射频转换器集成专用数字功能

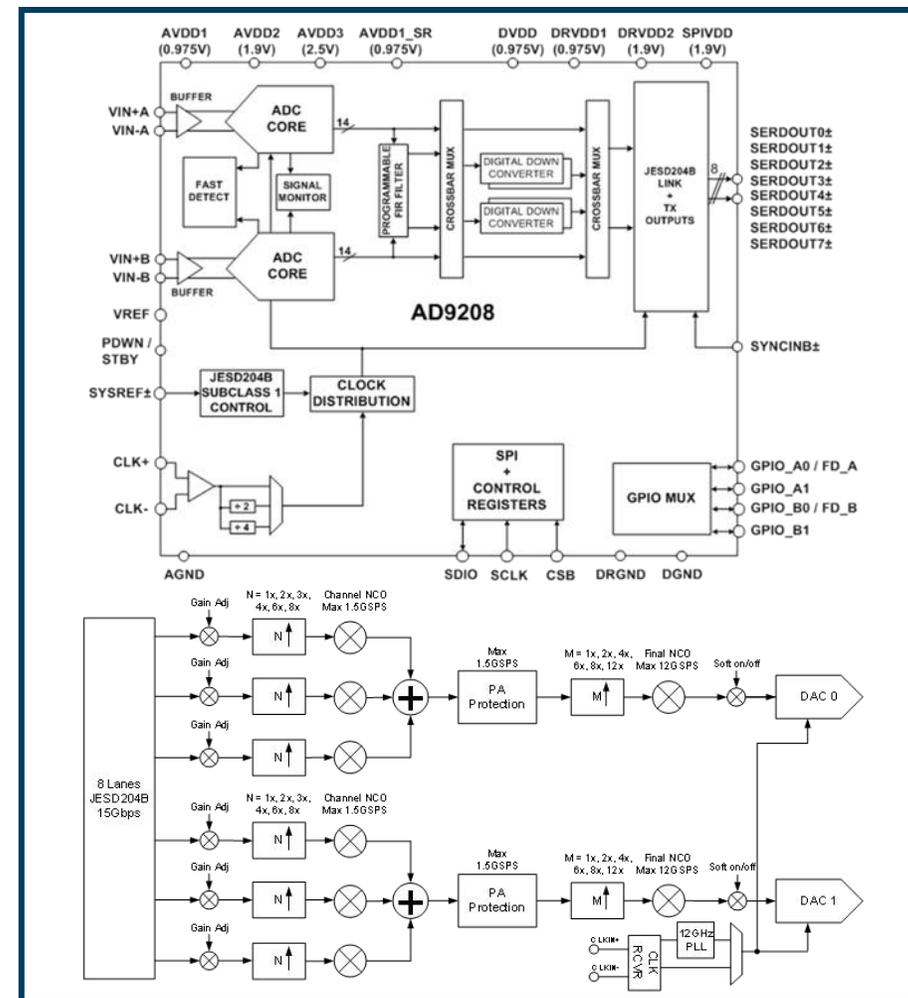
# 射频转换器的单片集成

## ▶ 经验证的性能

- 深亚微米工艺支持射频转换器集成专用数字功能

## ▶ 降低CSWaP

- 常见技术可实现更紧密的匹配、更好的工艺和温度一致性
- 优化成本、功耗和性能



# 射频转换器的单片集成

## ▶ 经验证的性能

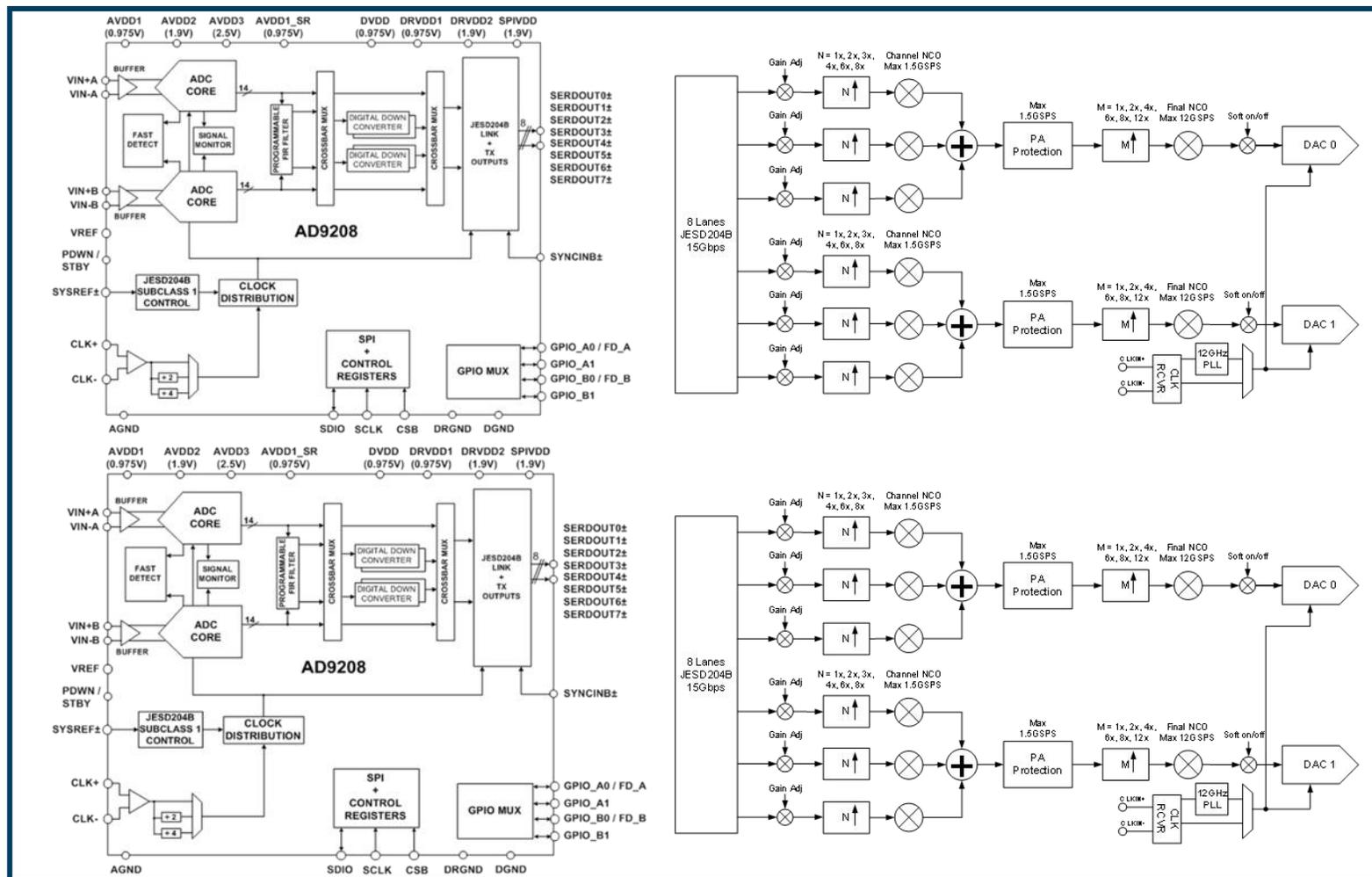
- 深亚微米工艺支持射频转换器集成专用数字功能

## ▶ 降低CSWaP

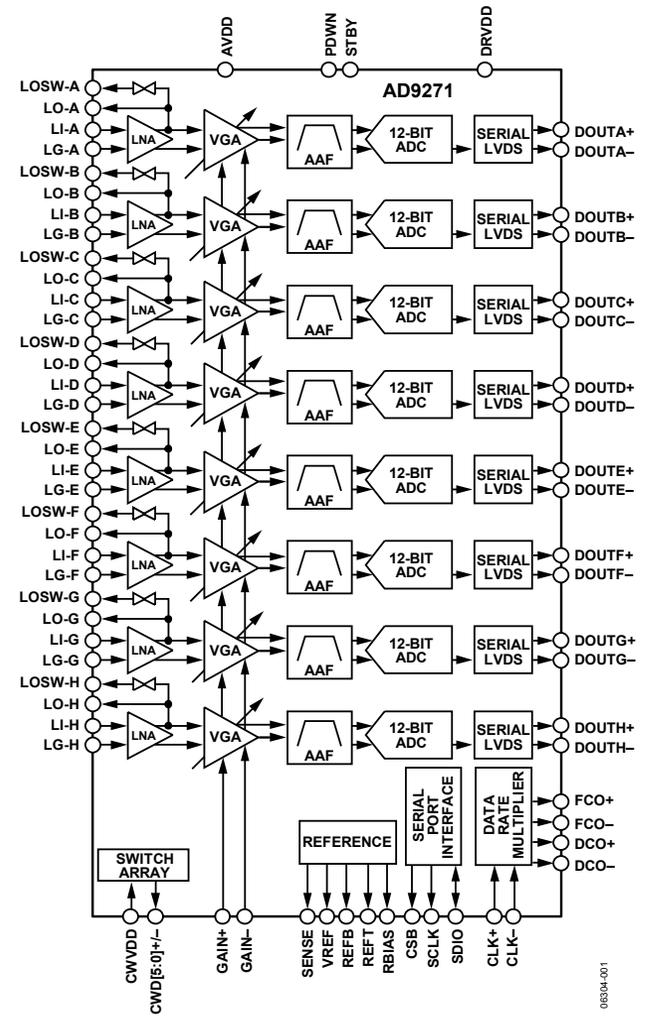
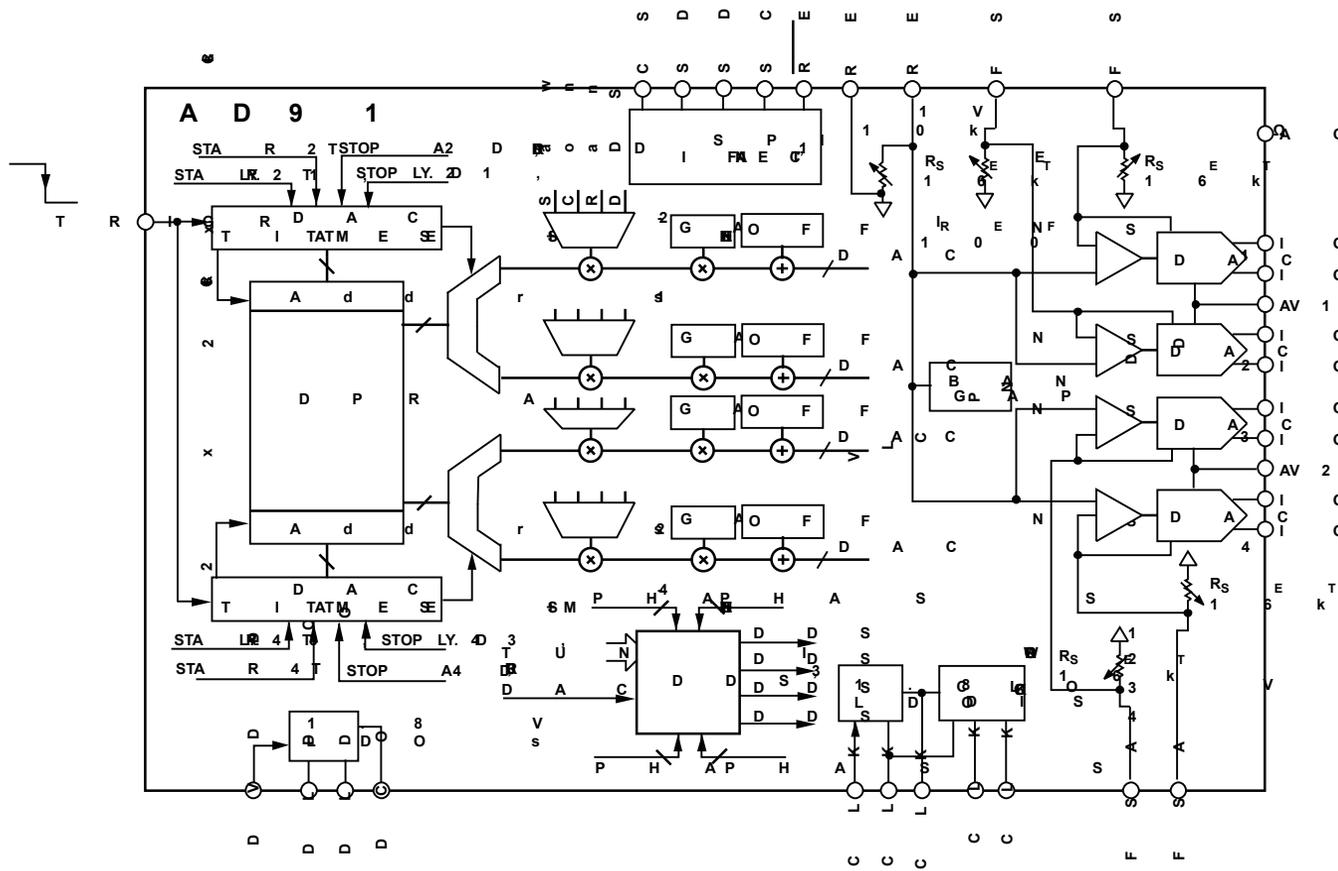
- 常见技术可实现更紧密的匹配、更好的工艺和温度一致性
- 优化成本、功耗和性能

## ▶ 支持新架构

- 更高通道密度
- 算法集成



# 完整的集成超声解决方案 (2008年左右)

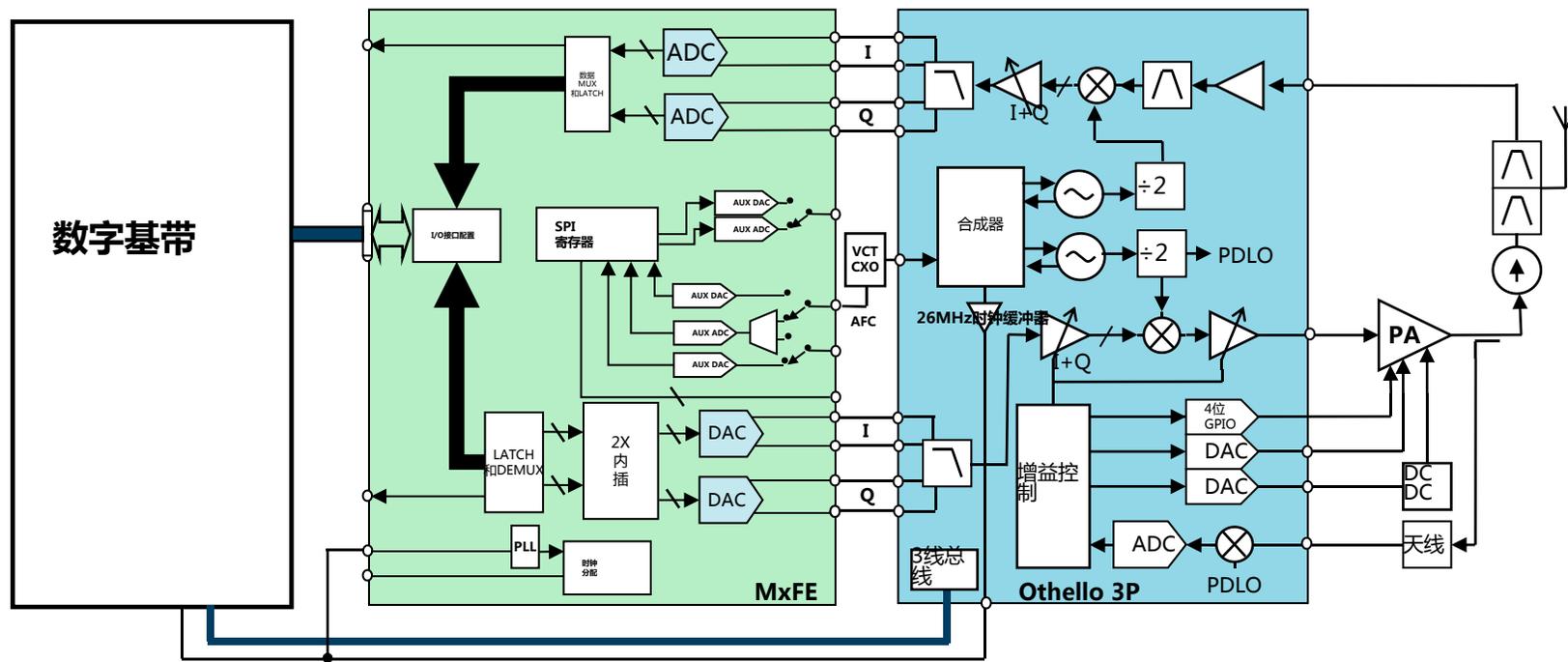


提供成熟的超声解决方案

# 毫微微/住宅蜂窝框图 (2003年左右)

- ▶ MxFE : AD9860至AD9863
  - 针对基站应用优化的高性能ADC-DAC
  - 高度集成的智能分割
  - 9 mm × 9 mm、64引脚LFCSP封装
  - 推荐MxFE AD9861

- ▶ 集成无线电技术
  - 高度集成的收发器
  - 无外部SAW滤波器 - 一个双工器
  - 4代码发射兼容
  - 精确的集成功率控制
  - 低功耗射频CMOS
  - 6 mm×6 mm、32引脚封装



# ADRV9009 TDD收发器

## ▶ 集成双通道接收器和双通道发射器

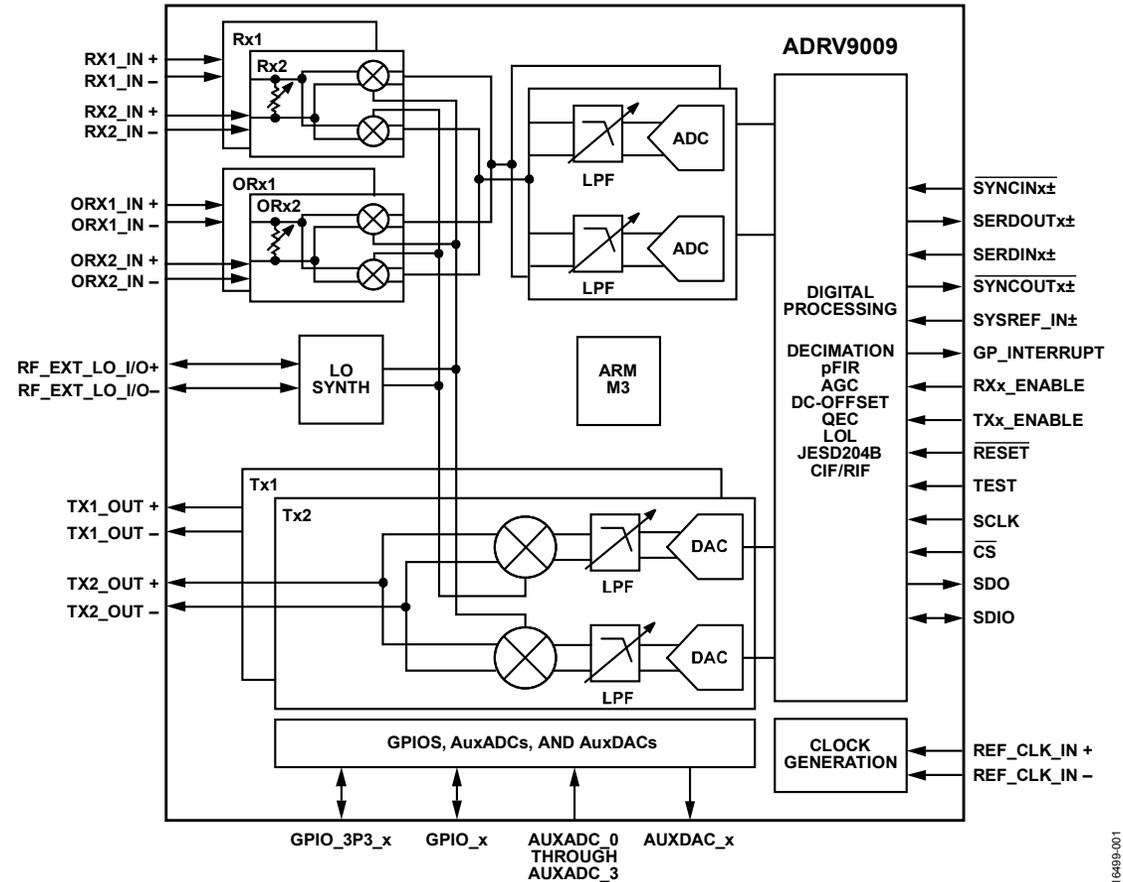
- LO范围：
  - $75 \text{ MHz} < F_c < 6 \text{ GHz}$
- 最大接收器带宽 = 200 MHz
- 最大发射器带宽 = 200 MHz (合成器带宽450 MHz)

## ▶ 集成时钟产生

- 频率捷变
- 收发器本振
- 改善相位噪声
- RF LO相位同步
- 16位ADC/DAC

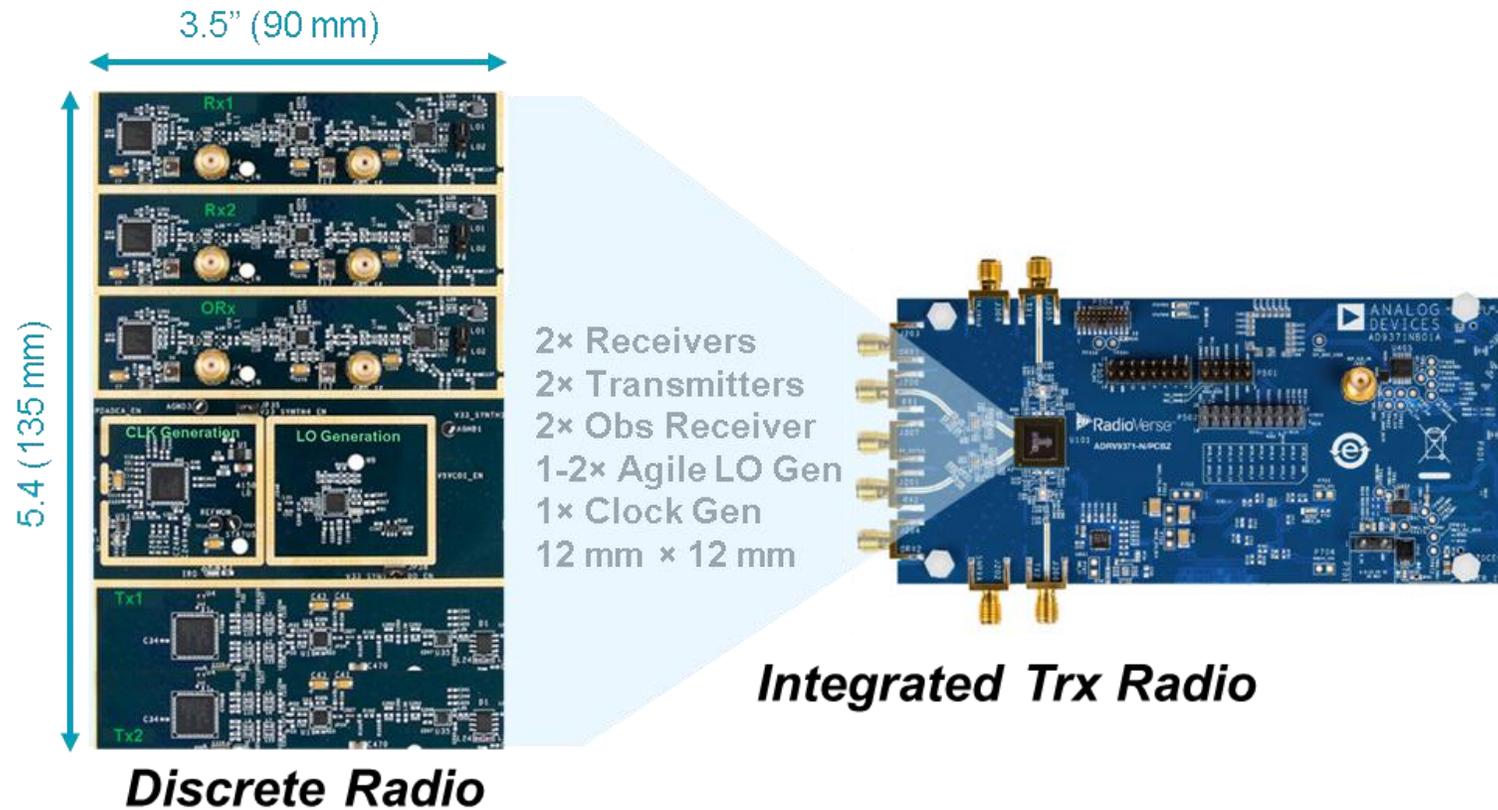
## ▶ 数字特性

- 接收器：直流失调校正、QEC、AGC
- 发射器：LO泄漏、QEC
- AGC、可编程FIR
- 12.5 Gbps JESD204-B接口
- API控制

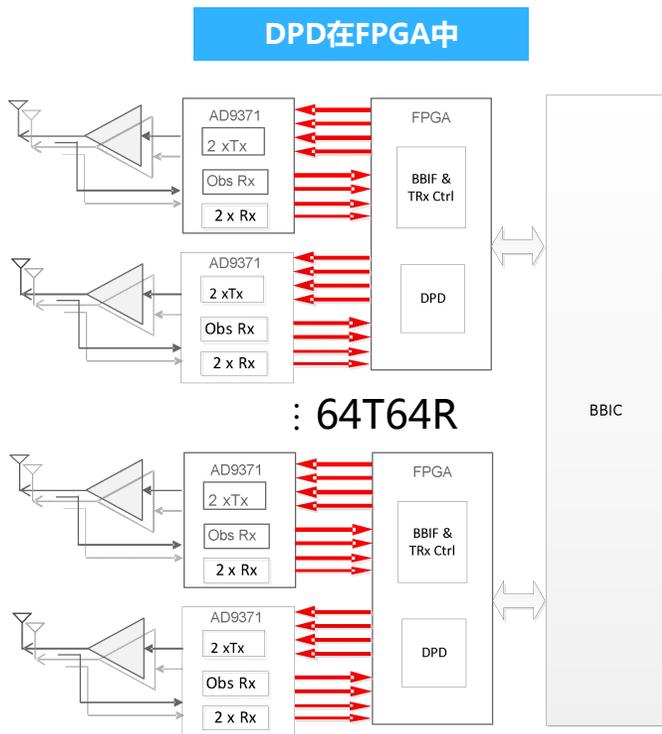


16495-001

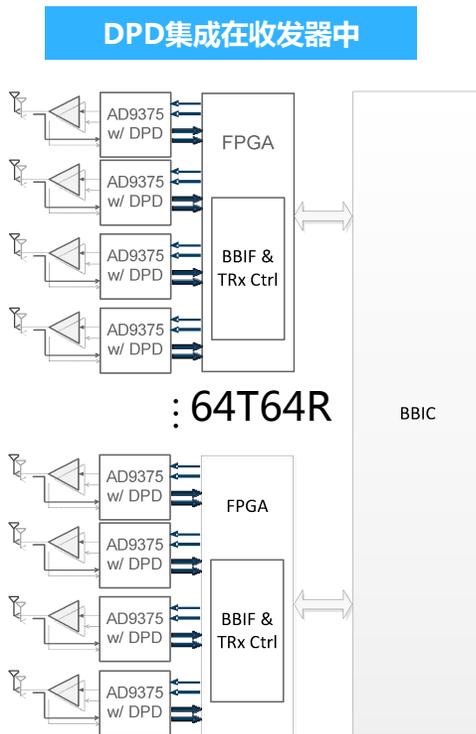
# 收发器对系统尺寸的影响



# 大规模MIMO中的复杂性降低程度



384 × JESD204B通道用于实现64 T



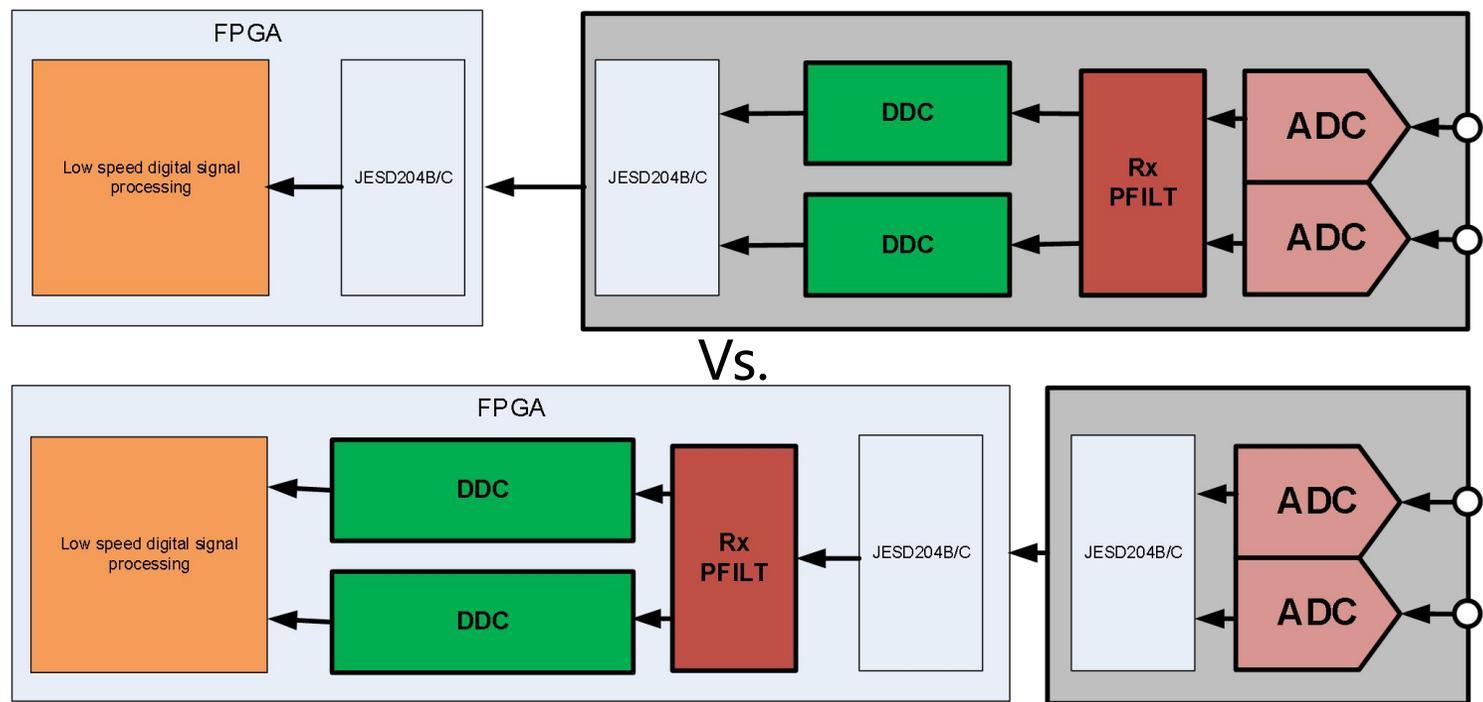
128 × JESD204B通道用于实现64 T

	AD9375
近似IBW	50 MHz
系统ACLR	-51 dB
DPD采样速率	245 MHz
LUT	4
GMP特性	23
交叉项(CMUL)	2
适配率/频道	250 ms
功耗/通道	25 mW

## 主要优势：

- ▶ 消除64条射频到基带的信号路径，节省19 W
- ▶ 基带器件所需的数字资源更少

# 集成算法的价值



- ▶ 智能分割 - 减少所需的数字资源，从而降低功耗和面积

与相同技术的FPGA相比，ASIC设计的功率效率通常要高9倍以上，面积效率要高20倍以上。

- Ian Kuon和Jonathan Rose，“衡量FPGA与ASIC之间的差距”，*IEEE集成电路与系统的计算机辅助设计(TCAD)论文集*，第26卷，第2期，第203至215页，2007年2月

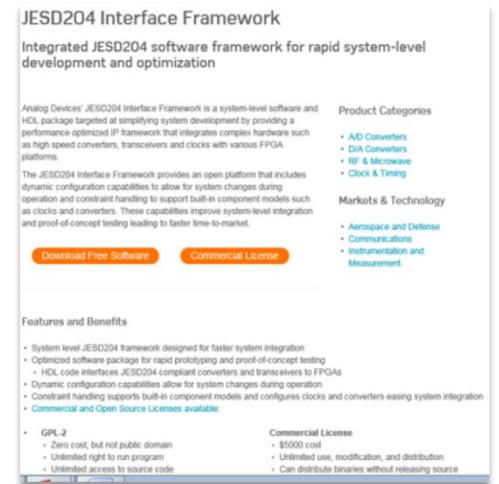
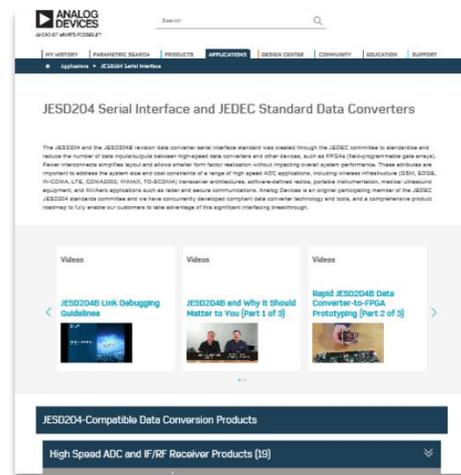
# RadioVerse®完整的无线电解决方案 减少集成痛点

- ▶ AD9375小型蜂窝无线电参考设计
  - 完整的JESD204B到天线设计
  - 2×2 LTE 20 MHz，每根天线250 mW输出功率
  - BOM可重新配置到其他频段
  - 包含所有元件：收发器、PA、LNA、滤波器、电源解决方案
  - 外形小巧 - 88 mm×83 mm



## ▶ JESD204B资源和框架IP

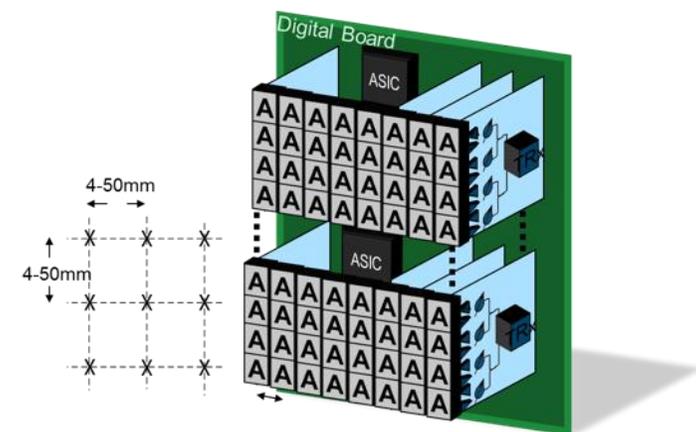
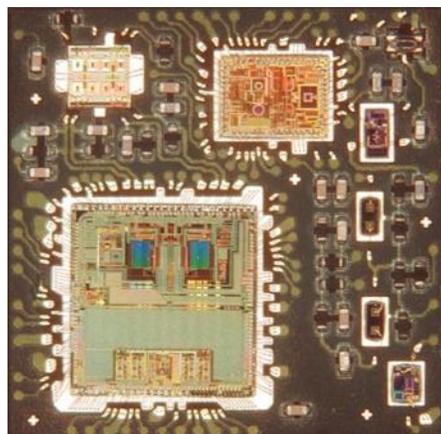
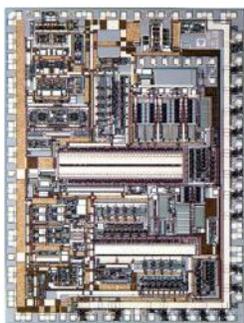
- <http://www.analog.com/jesd204>
- <http://www.analog.com/en/design-center/evaluation-hardware-and-software/jesd204-interface-framework.html>



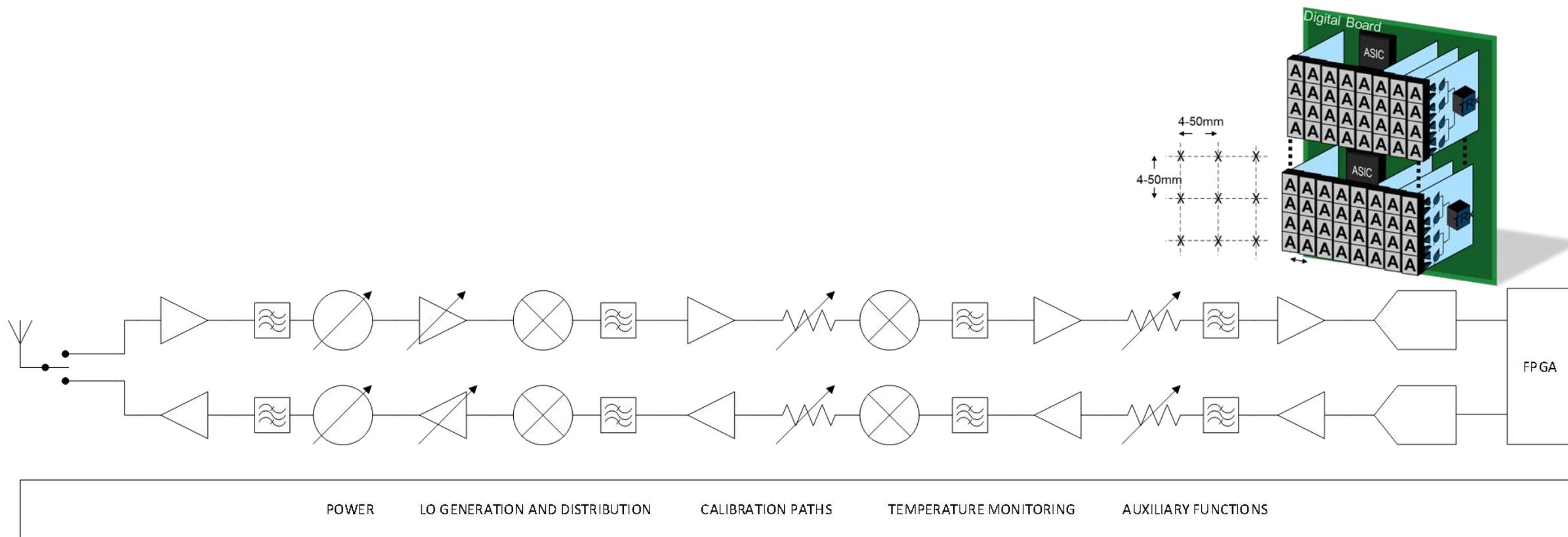
# 交付

## ▶ 多种硬件交付方式

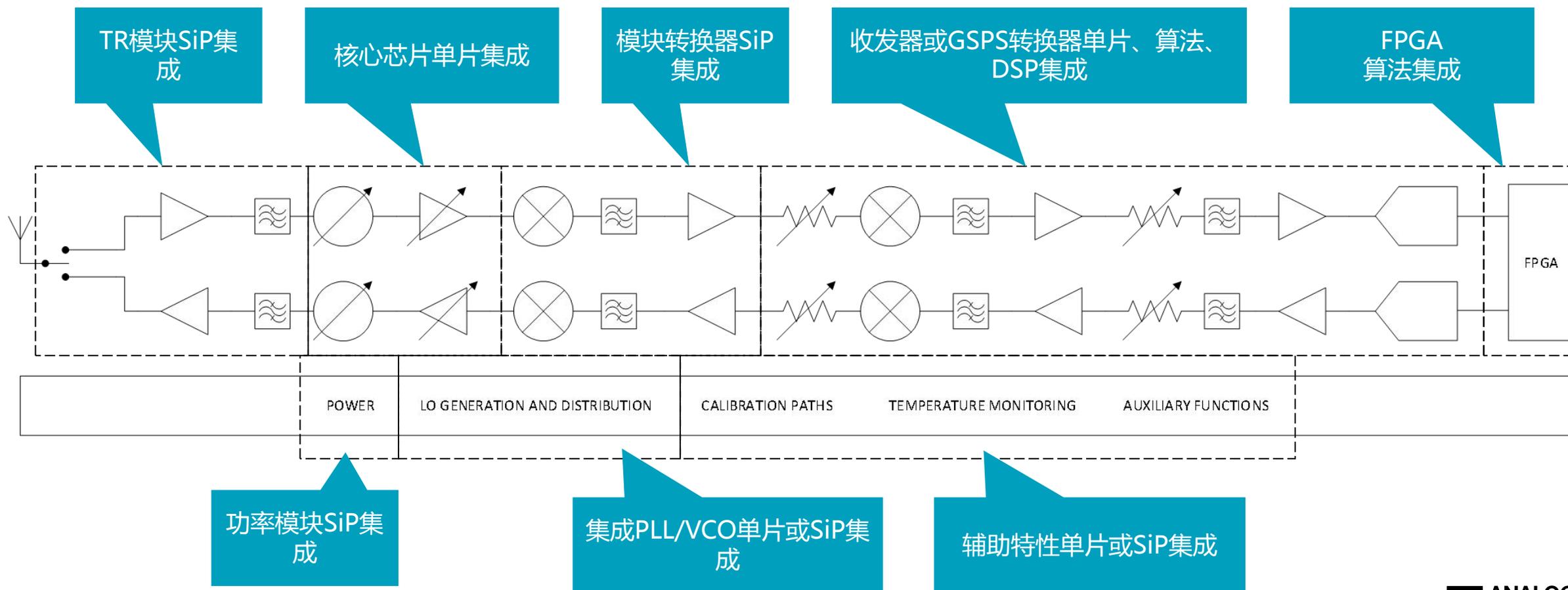
- 支持利用最好的技术来解决相关问题
  - 低功耗
  - 高性能
  - 热管理
  - 系统集成



# 相控阵 - 隐藏在天线阴影背后



# 相控阵 - 隐藏在天线阴影背后



# ADI公司如何集成？



选择集成路径时，最具价值的路径不仅能

**解决真正困难的问题，**

而且

**也会简化上游或下游的部分电路。**



# 谢谢观看！

- ▶ **ADI中国地区技术支持热线：4006 100 006**
- ▶ **ADI中国地区技术支持信箱：**  
[china.support@analog.com](mailto:china.support@analog.com)
- ▶ **ADI样片申请网址：**  
<http://www.analog.com/zh/sample>