

迈入FPGA开发大门

BY 特权同学

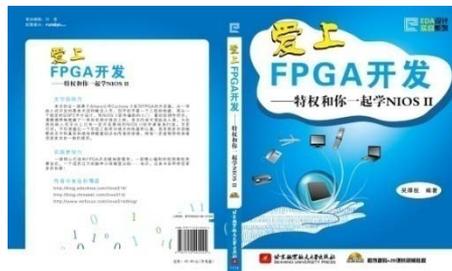
自我介绍

● 网名：特权同学

● 08年本科毕业，从大四开始自学8051、MSP430、ARM7和FPGA，目前从事硬件设计工作

● 喜欢写博客，专注于FPGA相关的技术内容

● 10年和11年分别出版了图书《深入浅出玩转FPGA》和《爱上FPGA开发——特权和你一起学NIOS II》



自我介绍

特权's Blog——永远忠于年轻时的梦想！

EDN博客——

http://bbs.ednchina.com/BLOG_ilove314_178509.HTM

ChinaAET博客——

<http://blog.chinaaet.com/ilove314>

电子发烧友博客——

<http://home.elecfans.com/space.html>

新浪微博——（网名：特权同学）

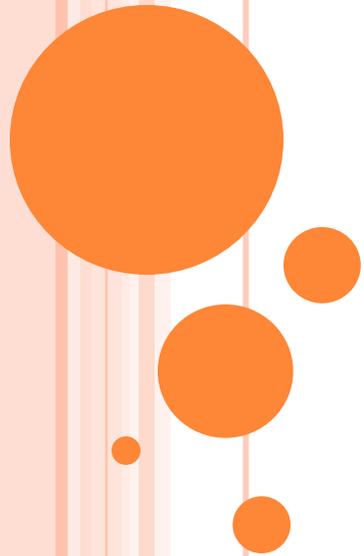
<http://weibo.com/franchiese/profile?rightmod=1&wvr=5&mod=personinfo>

议程

- FPGA基础知识
- FPGA学习方法
- FPGA开发套件介绍
- 互动环节

FPGA基础知识

- FPGA是什么?
- FPGA能干什么?
- FPGA怎么干活?
- 一个简单的FPGA开发设计实例



FPGA基础知识

从认识奇妙的0和1开始

The image shows a Windows Explorer window with a context menu open over a file named 'TEST.txt'. The menu options include '查看(V)', '排列图标(I)', '刷新(E)', '粘贴(P)', '粘贴快捷方式(S)', '新建(N)', and '属性(R)'. The '新建(N)' option is selected, and a sub-menu is visible with options like '文件夹(F)', '快捷方式(S)', '公文包', 'BMP 图像', 'Microsoft Office Word 文档', 'FPGA Editor Document', 'Microsoft Office PowerPoint 演示文稿', 'Adobe Photoshop Image', 'WinRAR 压缩文件', '文本文档', 'Microsoft Office Visio 绘图', and '波形声音'. The '文本文档' option is highlighted.

To the right, a 'TEST.txt - 记事本' window is open, displaying the text '0123456789'.

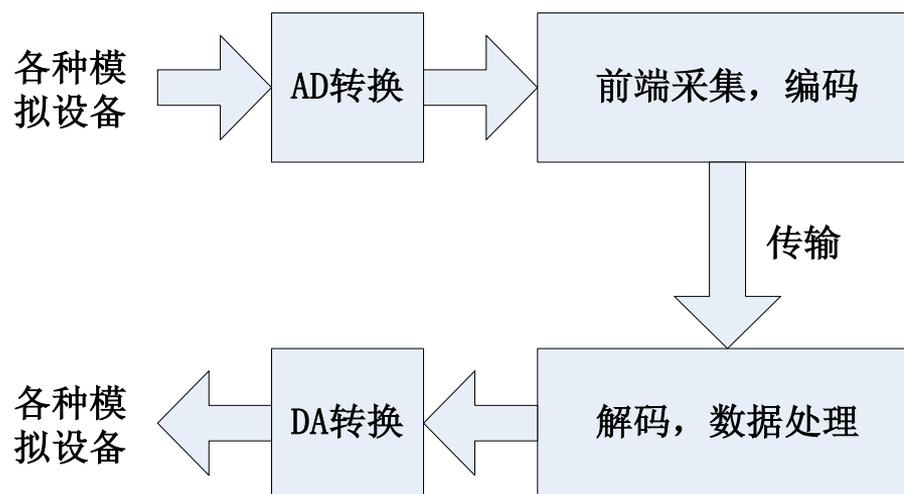
Below these windows, a hex editor view of the file 'TEST.txt' is shown. The hex editor displays the following data:

Offset	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	Hex	ASCII
00CAEFECF0	08	03	54	00	45	00	53	00	54	00	2E	00	74	00	78	00	..T.E.S.T...	..T.E.S.T...
00CAEFED00	74	00	54	00	78	00	74	00	40	00	00	00	28	00	00	00	t.T.x.t.@...	t.T.x.t.@...
00CAEFED10	00	00	00	00	00	00	04	00	10	00	00	00	18	00	00	00
00CAEFED20	9D	78	64	A8	E1	9E	E1	11	9B	04	2C	27	D7	1F	1D	E1	!xd"á!á.!.!x"á	!xd"á!á.!.!x"á
00CAEFED30	80	00	00	00	28	00	00	00	00	18	00	00	00	01	00	00	!... (...)	!... (...)
00CAEFED40	0A	00	00	00	18	00	00	00	30	31	32	33	34	35	36	370123456701234567
00CAEFED50	38	39	00	00	00	00	00	00	FF	FF	FF	FF	82	79	47	11	89.....ÿÿÿÿÿÿG.	89.....ÿÿÿÿÿÿG.
00CAEFED60	0B	01	B0	65	FA	5E	20	00	87	65	2C	67	87	65	63	68	..°eú^ .!e.g!ech	..°eú^ .!e.g!ech
00CAEFED70	2E	00	74	00	78	00	74	00	40	00	00	00	28	00	00	00	...x.t.@...	...x.t.@...
00CAEFED80	00	00	00	00	00	00	04	00	10	00	00	00	18	00	00	00
00CAEFED90	9D	78	64	A8	E1	9E	E1	11	9B	04	2C	27	D7	1F	1D	E1	!xd"á!á.!.!x"á	!xd"á!á.!.!x"á
00CAEFEDA0	80	00	00	00	18	00	00	00	00	18	00	00	00	01	00	00	!.....	!.....
00CAEFEDB0	00	00	00	00	18	00	00	00	FF	FF	FF	FF	82	79	47	11ÿÿÿÿÿÿG.ÿÿÿÿÿÿG.

FPGA基础知识

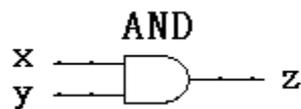
现实世界是模拟的，而采集、保存、传输、处理或还原这些模拟信号的中间过程却往往是数字化的。

数字给人类带来了翻天覆地的变化！



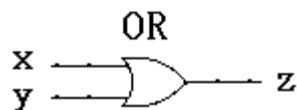
FPGA基础知识

《数字电路基础》中所提及的与门、或门、非门就是最基本的数字处理。



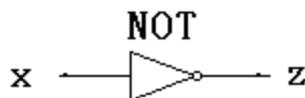
$$z = x \& y$$

x	0	0	1	1
y	0	1	0	1
z	0	0	0	1



$$z = x | y$$

x	0	0	1	1
y	0	1	0	1
z	0	1	1	1

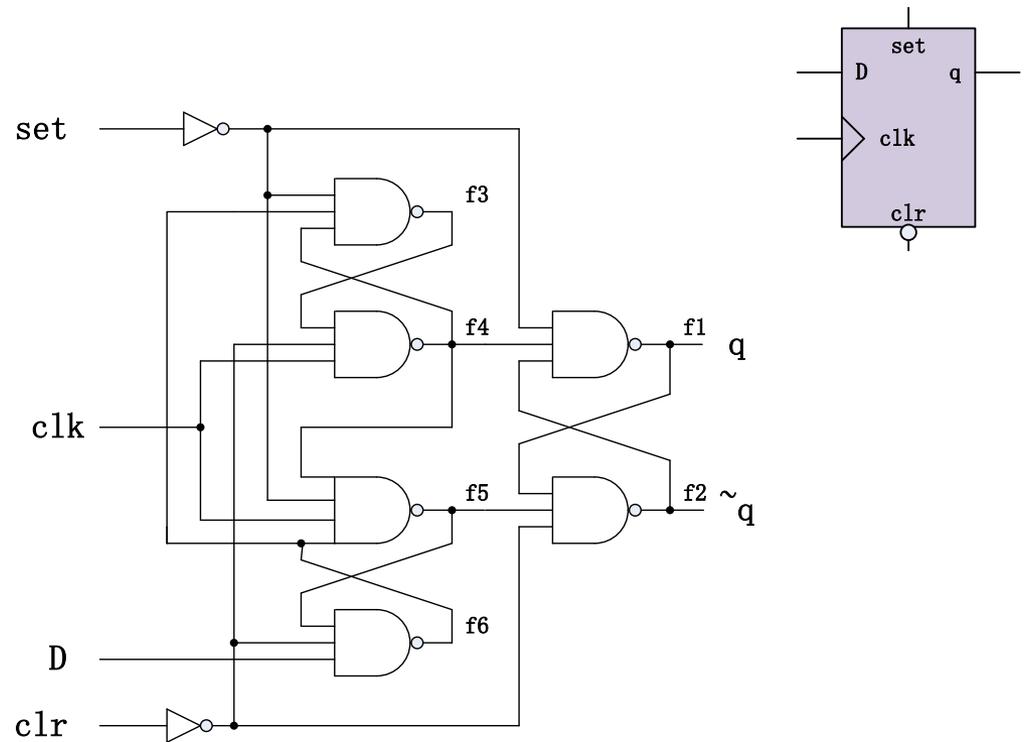


$$z = \sim x$$

x	0	1
z	1	0

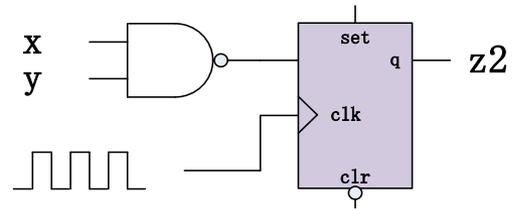
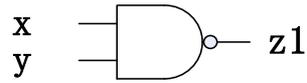
FPGA基础知识

《数字电路基础》中带异步置位和复位的D触发器便是“寄存器”的原型。



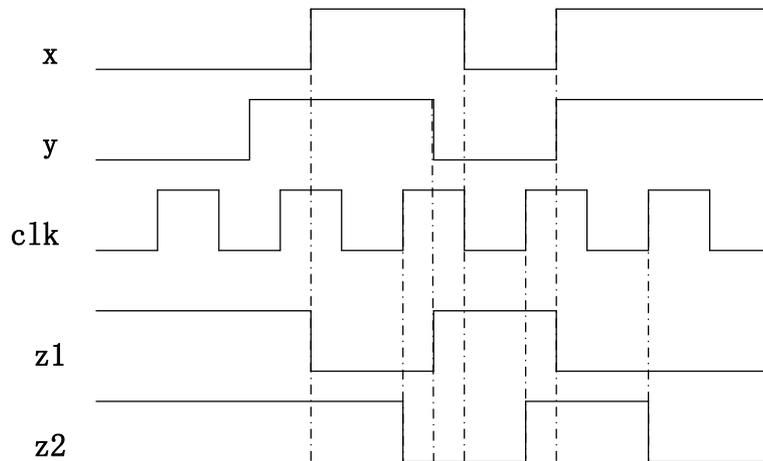
FPGA基础知识

时序逻辑和组合逻辑



组合逻辑

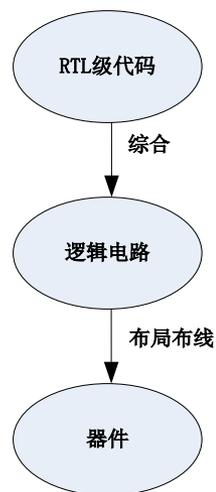
时序逻辑



FPGA基础知识

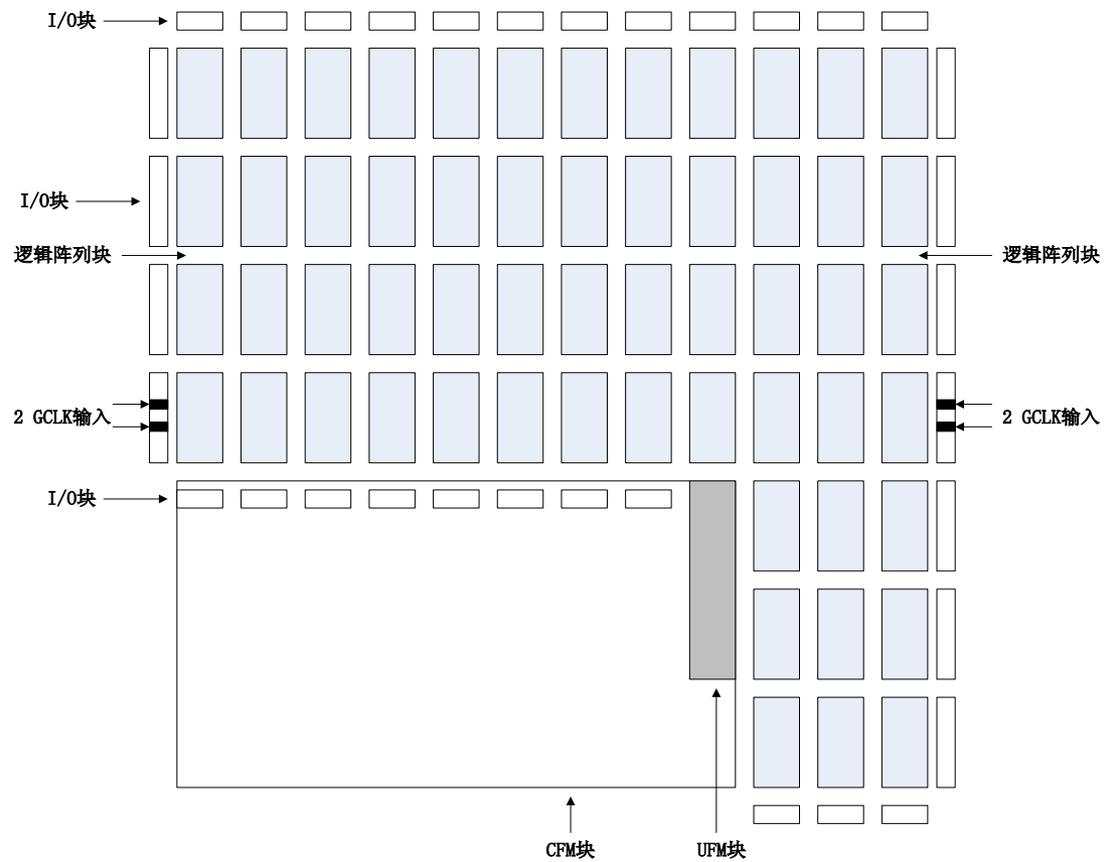
设计一个基本的逻辑电路

- 编写基本的HDL代码
- EDA工具将其综合为逻辑电路
- EDA工具进一步将所需要的电路功能转换到具体的器件结构中



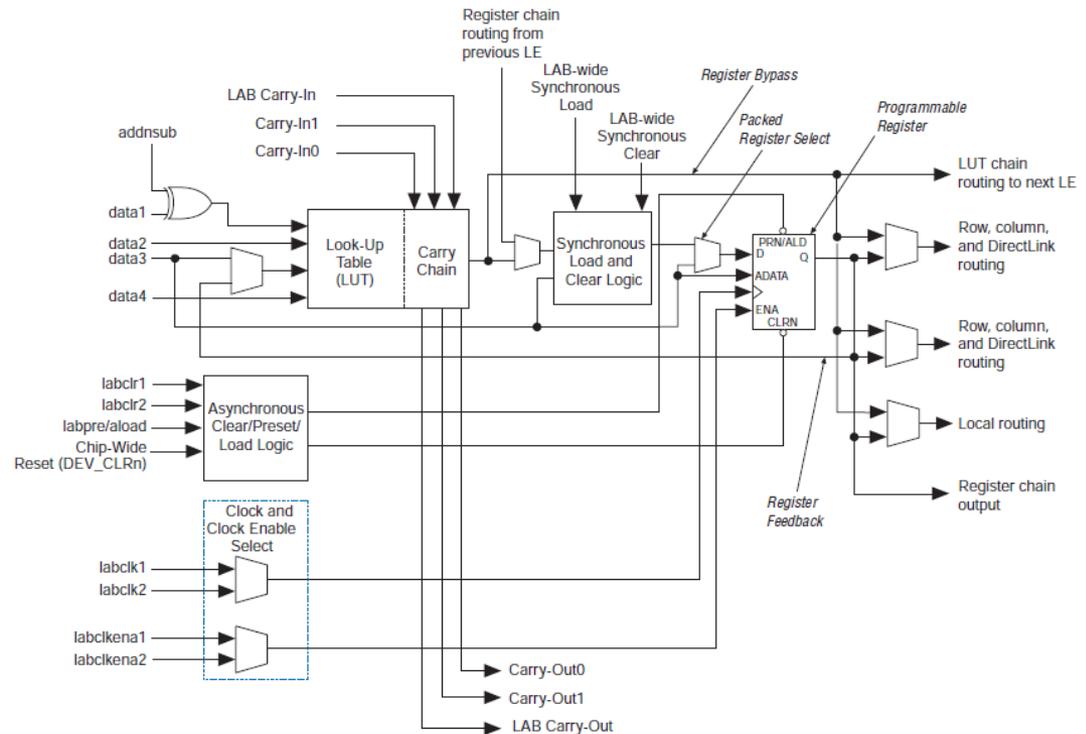
FPGA基础知识

一颗FPGA器件的内部结构



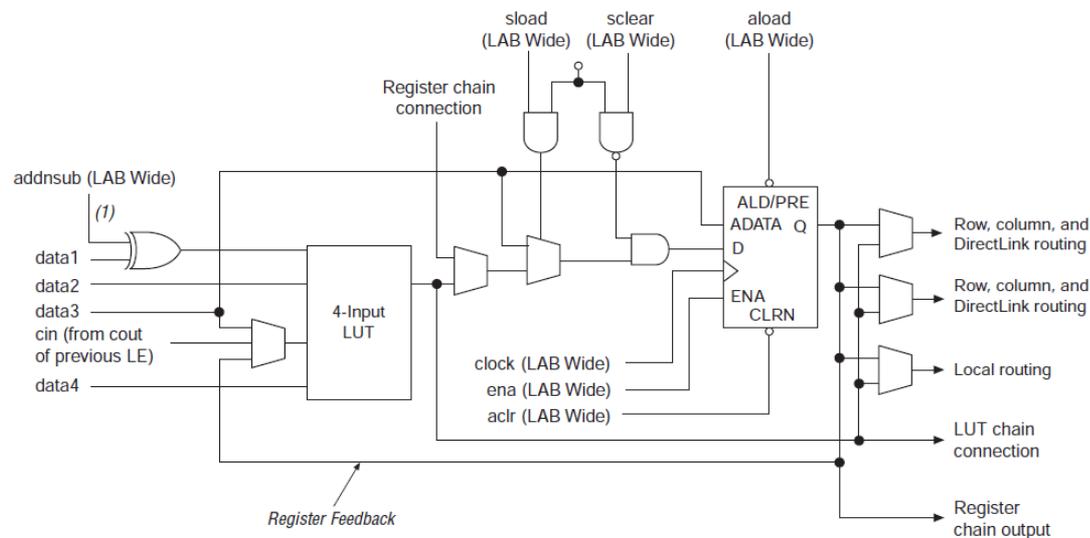
FPGA基础知识

FPGA器件内部一个逻辑单元的结构



FPGA基础知识

该逻辑单元的有两种工作模式，即正常模式和运算模式，以下是正常模式的结构



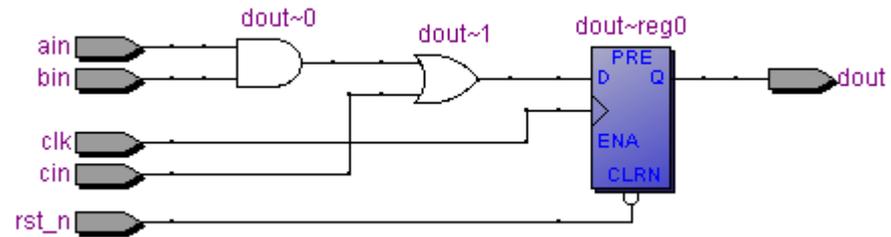
FPGA基础知识

一段简单的代码

```
module p22vlg(  
    clk, rst_n,  
    ain, bin, cin, dout  
);  
  
input clk;  
input rst_n;  
input ain, bin, cin;  
output reg dout;  
  
always @(posedge clk or negedge rst_n)  
    if(!rst_n) dout <= 1'b0;  
    else dout <= (ain & bin) | cin;  
  
endmodule
```

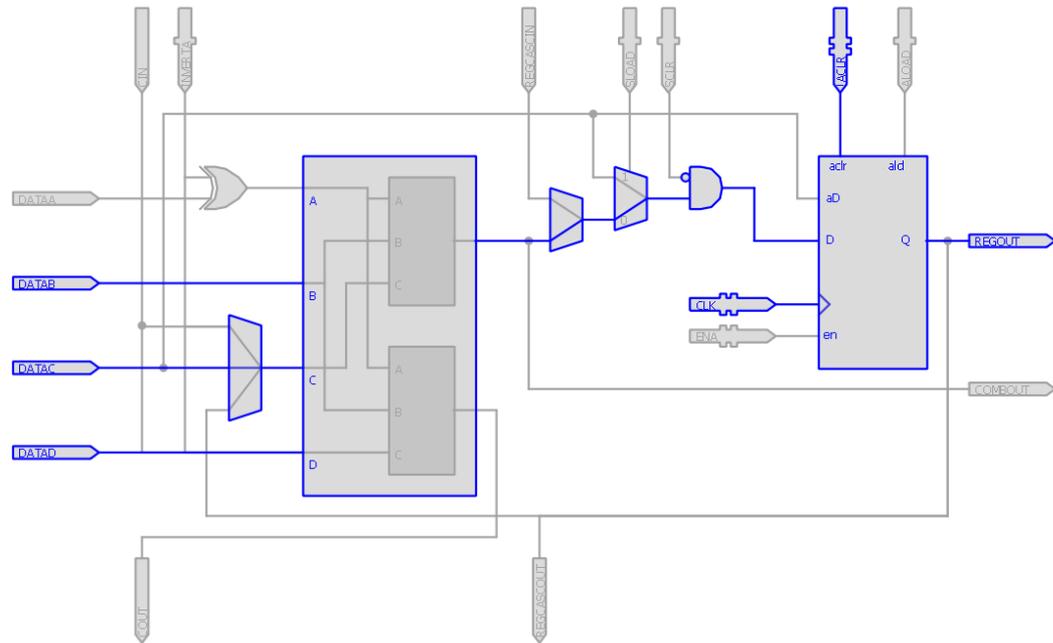
FPGA基础知识

代码被综合后的逻辑电路



FPGA基础知识

最终实现到具体器件中的逻辑电路



FPGA基础知识

FPGA的三大特点和优势

1. 灵活性

- 可重编程，可定制
- 易于维护，方便移植、升级或扩展
- 降低NRE成本，加速产品上市时间

2. 并行性

- 更快的速度、更高的带宽
- 实时处理

3. 集成性

- 更多的接口和协议支持
- 单片解决方案，可以替代很多数字芯片

FPGA基础知识

灵活性

与众多功能固定、管脚有限、应用范围也相对较窄的ASIC（包括各种MCU、CPU）相比，FPGA器件则有着更大的可选择性和灵活性，用于各种不同数字逻辑电路功能的实现。

如果把各种ASIC比作是风格迥异、功能不同，可拎包即住的房屋楼宇；那么FPGA就是堆满各种原始建筑材料的“荒地”一块，没有“免费的午餐”，必须“自己动手”，方可“丰衣足食”，但也正是这种灵活自由性，使得用户可以根据具体的需求设计出定制化的产品。

FPGA基础知识

并行性

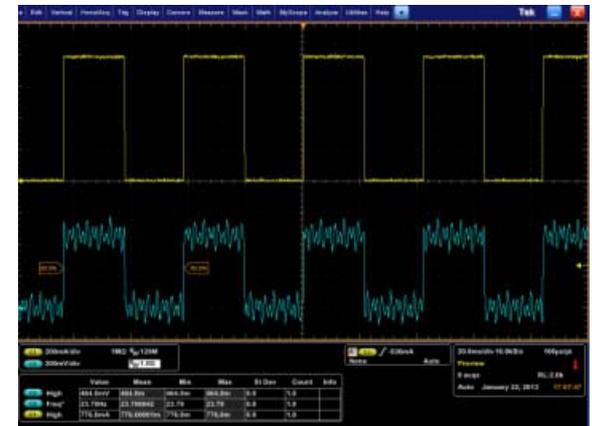
From Freescale 2010FTF

硬件加速引擎killer



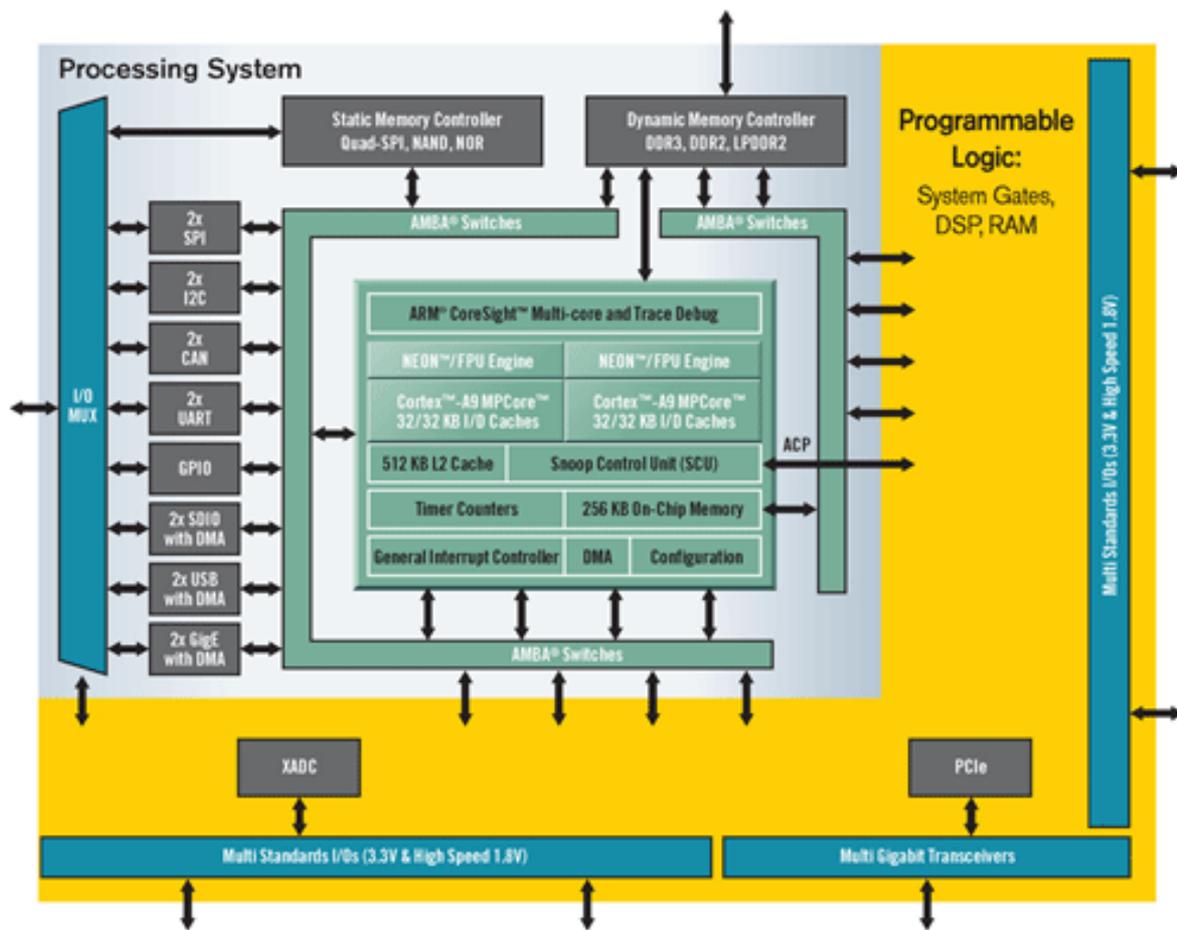
For a display application

示波器多通道并行显示



FPGA基础知识

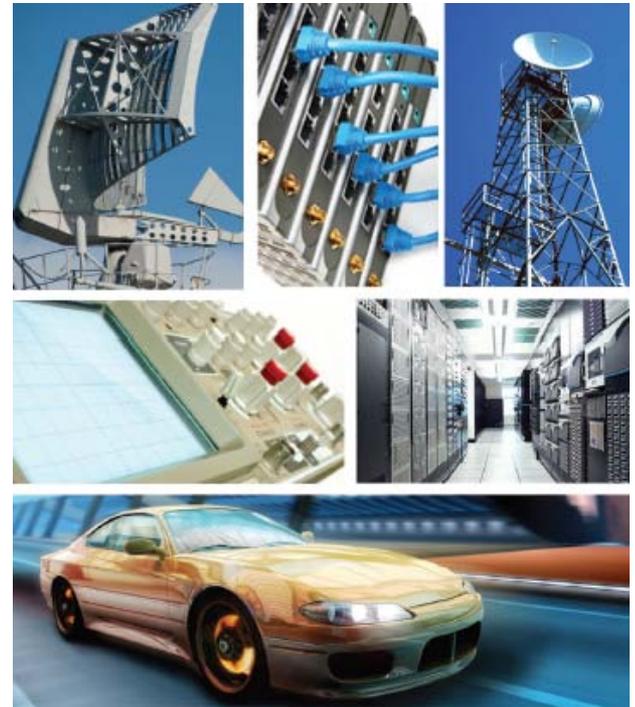
集成性



FPGA基础知识

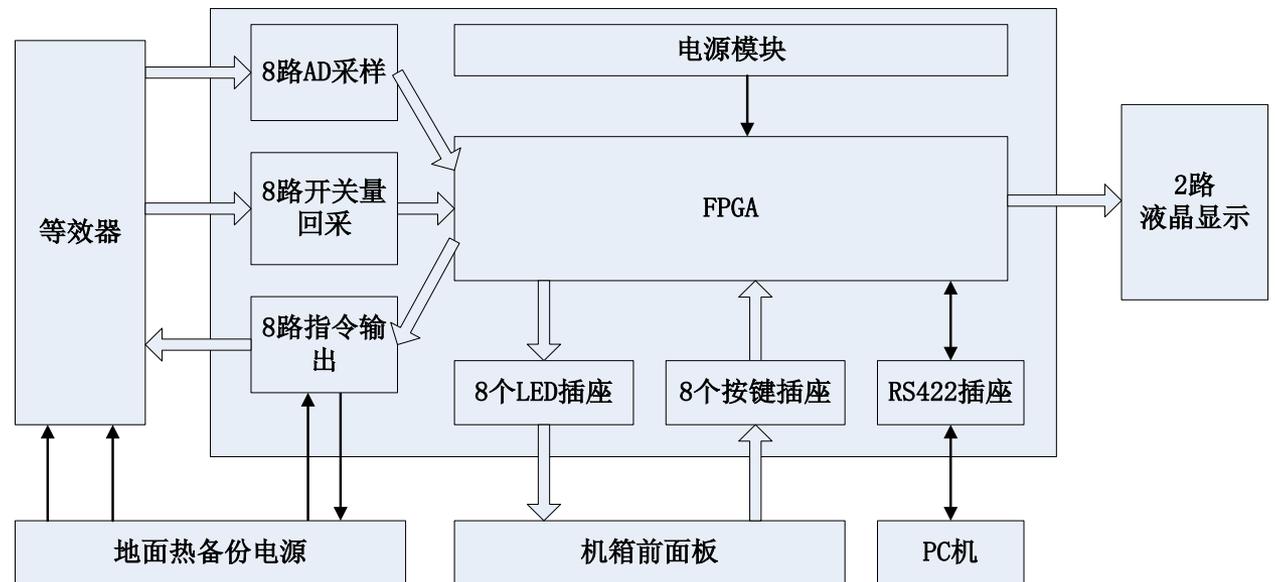
主要应用领域

- 逻辑粘合与实时控制
- 流片验证与测试系统
- 算法实现与片上系统



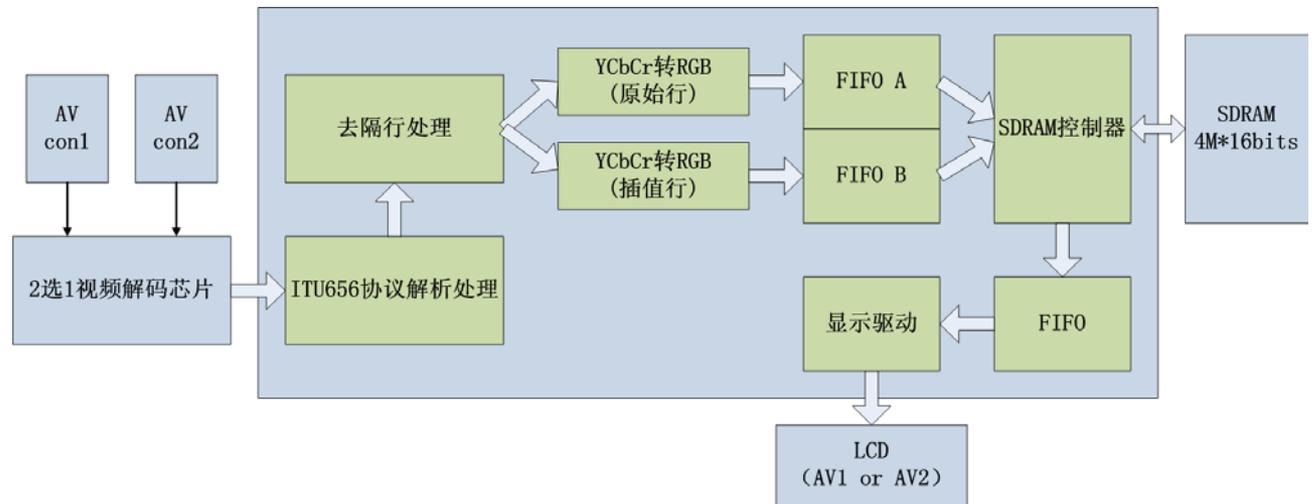
FPGA基础知识

一个测试系统的应用案例



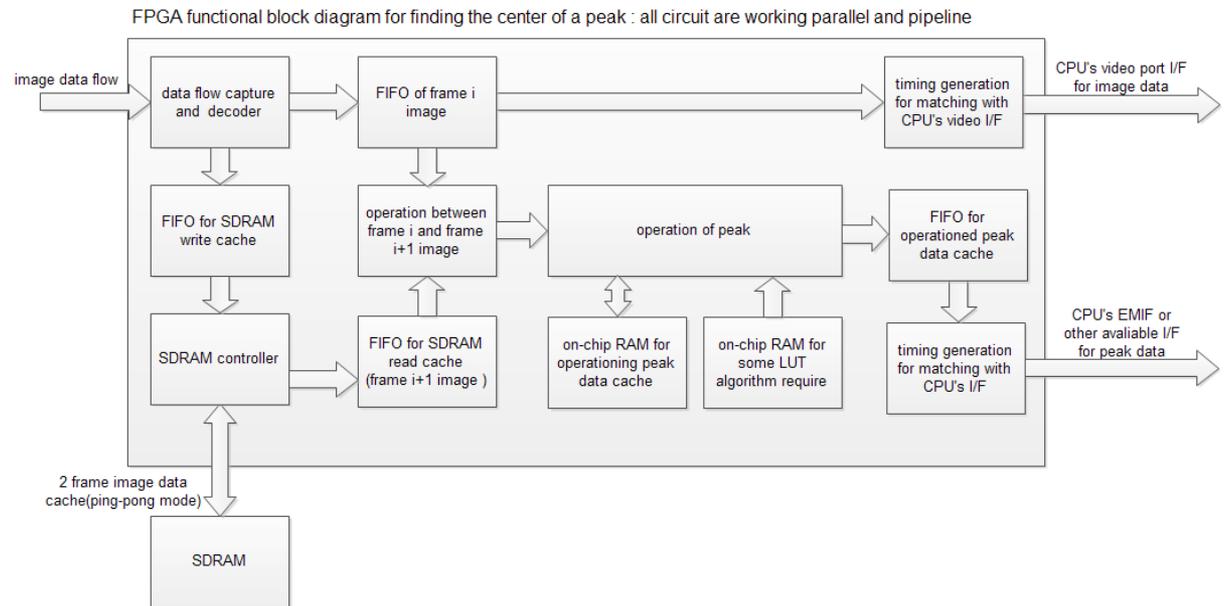
FPGA基础知识

一个实时控制的应用案例



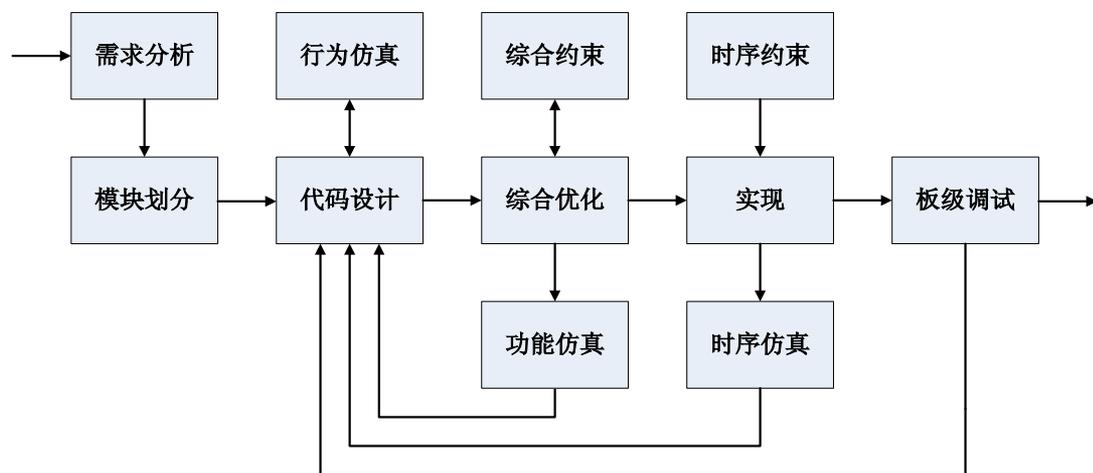
FPGA基础知识

一个算法实现的应用案例



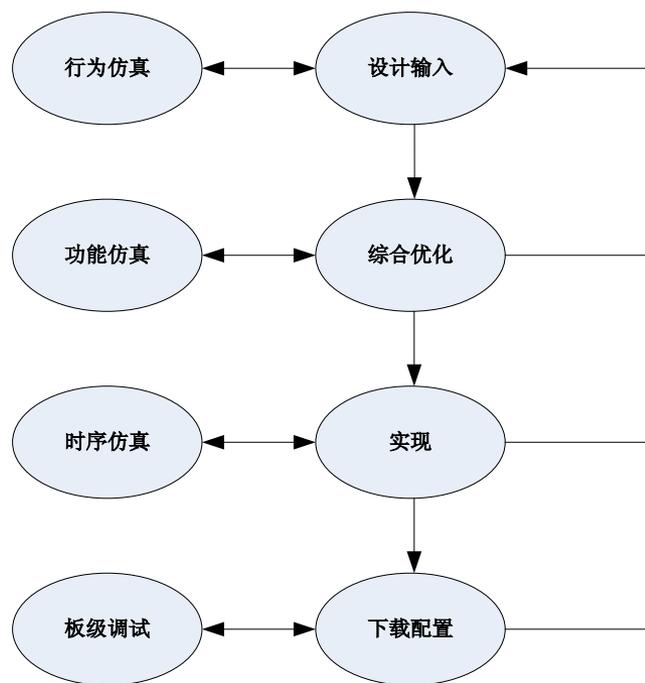
FPGA基础知识

开发流程



FPGA基础知识

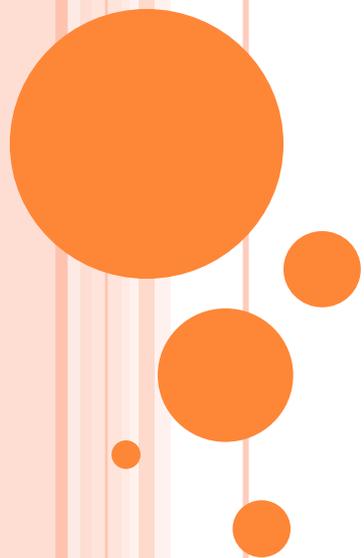
设计验证



FPGA学习方法

FPGA学习的三个阶段

- 入门阶段
- 进阶阶段
- 从业阶段



FPGA学习方法

入门阶段

目标：

能够熟练编写代码、掌握使用EDA工具的使用。

三步走：

- 啃书本，初步了解HDL语言
- 买套件，进行各种基本实验
- 跑流程，熟练EDA工具使用

FPGA学习方法

进阶阶段

目标：

掌握各种设计、调试、验证的方法和技巧。

- 体会代码风格
- 深入了解器件级底层架构
- 体会FPGA的并行设计思想
- 掌握基于FPGA的工程设计思想
- 掌握时序分析原理
- 掌握设计验证方法，如仿真、在线调试
- 多参考规范的设计代码，多翻阅官方文档，多动手实践摸索

FPGA学习方法

从业阶段

目标:

根据具体的项目，灵活运用FPGA进行开发设计。

- 分析项目需求，评估并制定FPGA可行性方案
- 按照流程进行原型开发
- 在项目中不断的总结、积累，不断的提升

FPGA学习方法

FPGA的学习虽然可以大致分为入门、进阶、从业三个阶段，但对于这门博大精深且更新脚步极快的技术领域，要想不断的提升能力，工程师们必须“学习，学习，再学习”！

器件在变，工具在变，项目也在变，工程师处理问题的方法或方式也需要不断的改进优化。

摆正位置，有一颗谦虚的心，经常把自己放在一个初学者的位置，用辩证的眼光去看待正在或将要面对的新项目新难题。

骄傲在败坏以先；高傲的灵在跌倒之前。

开发套件介绍

早期推出的三种套件

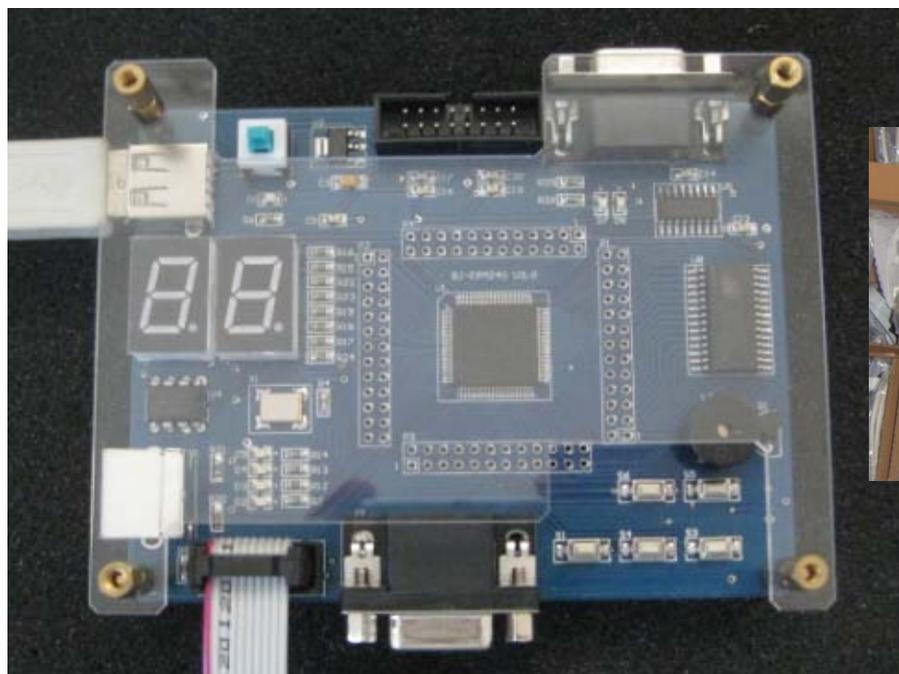
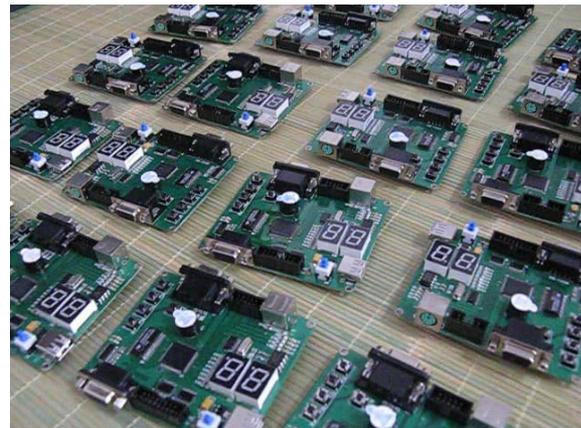
- BJ-EPM CPLD 套件——MAX II
- SF-EP1C FPGA 套件——Cyclone
- SF-NIOS2 FPGA 套件——Cyclone II

开发套件介绍

● BJ-EPM CPLD 套件

适合初学者入门

配套视频 《深入浅出玩转FPGA》 1-20课时
即将出版的配套新书 《HDL边练边学》

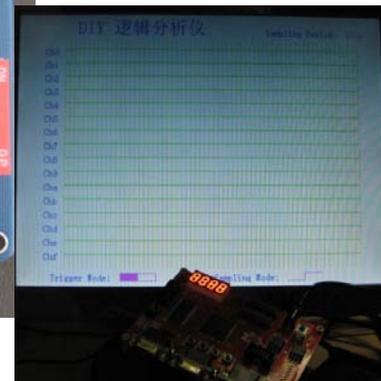
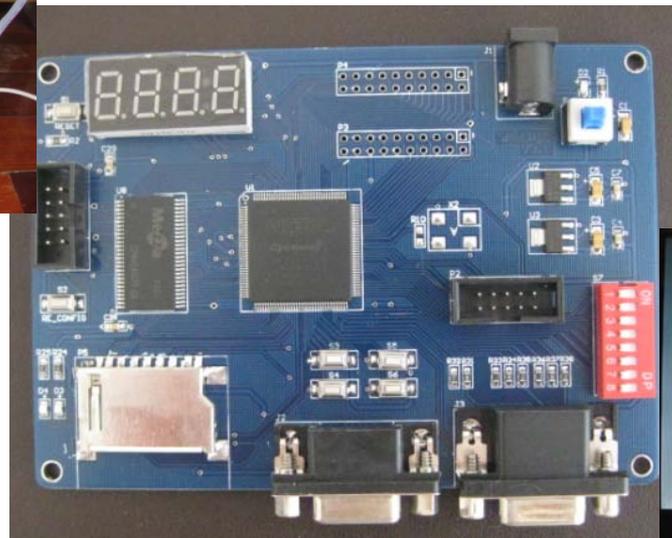
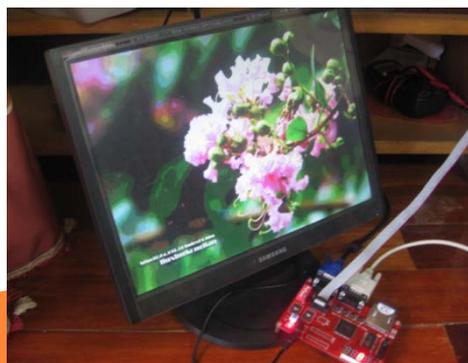


开发套件介绍

● SF-EP1C FPGA 套件

适合FPGA进阶学习

配套视频《深入浅出玩转FPGA》21-35课时



开发套件介绍

● SF-NIOS2 FPGA 套件

适合片上系统和NIOS II的入门学习

配套视频《特权和你一起学NIOS II》

配套图书《爱上FPGA开发——特权和你一起学NIOS II》

目前已经停产！

由SF-CY3相关套件替代。



开发套件介绍

最新推出的团购套件



● SF-CY3核心板——Cyclone III

● SF-BASE模块

● SF-LCD模块

● SF-SENSOR模块

● SF-VGA模块

● SF-USB模块

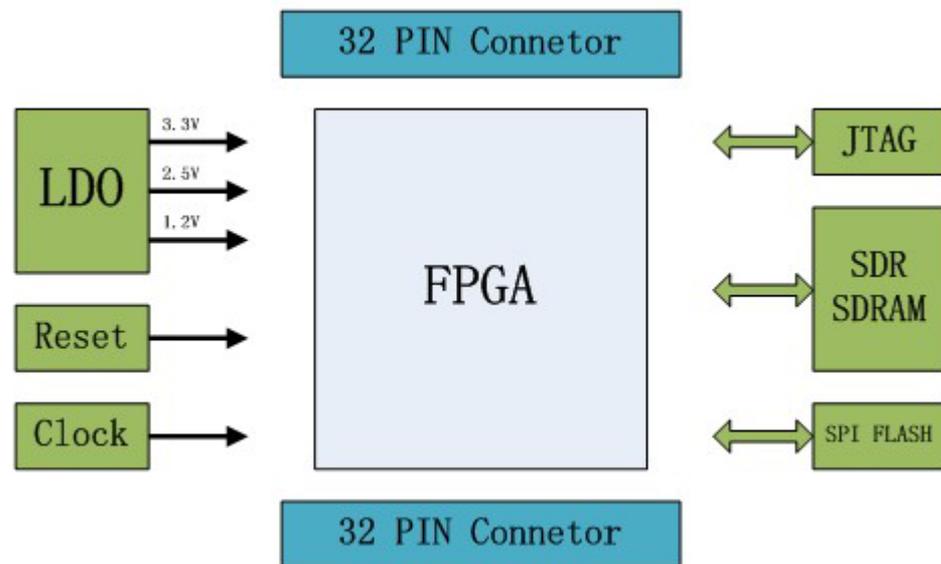
● SF-TSE模块

即将推出

开发套件介绍

● SF-CY3核心板——Cyclone III

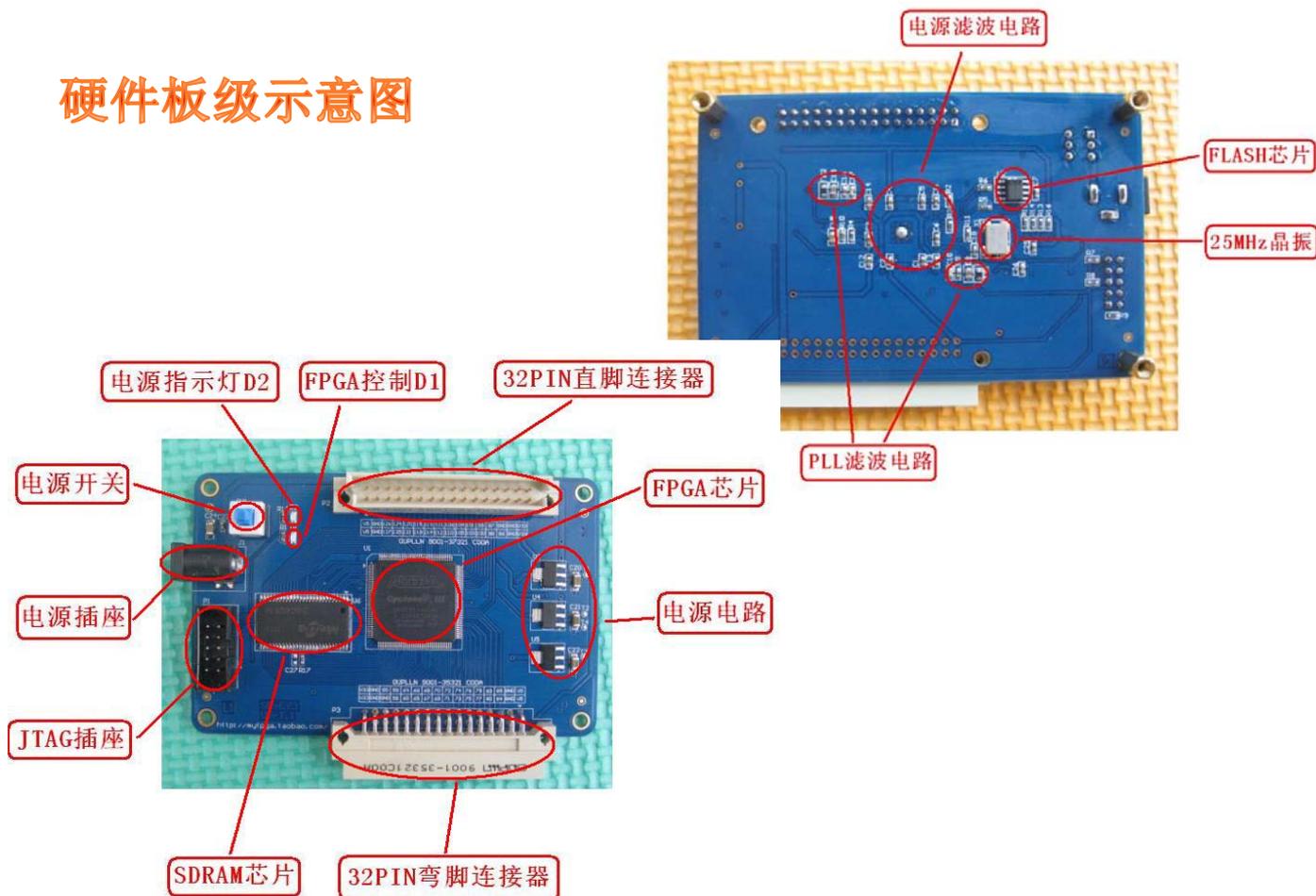
硬件功能框图



开发套件介绍

● SF-CY3核心板——Cyclone III

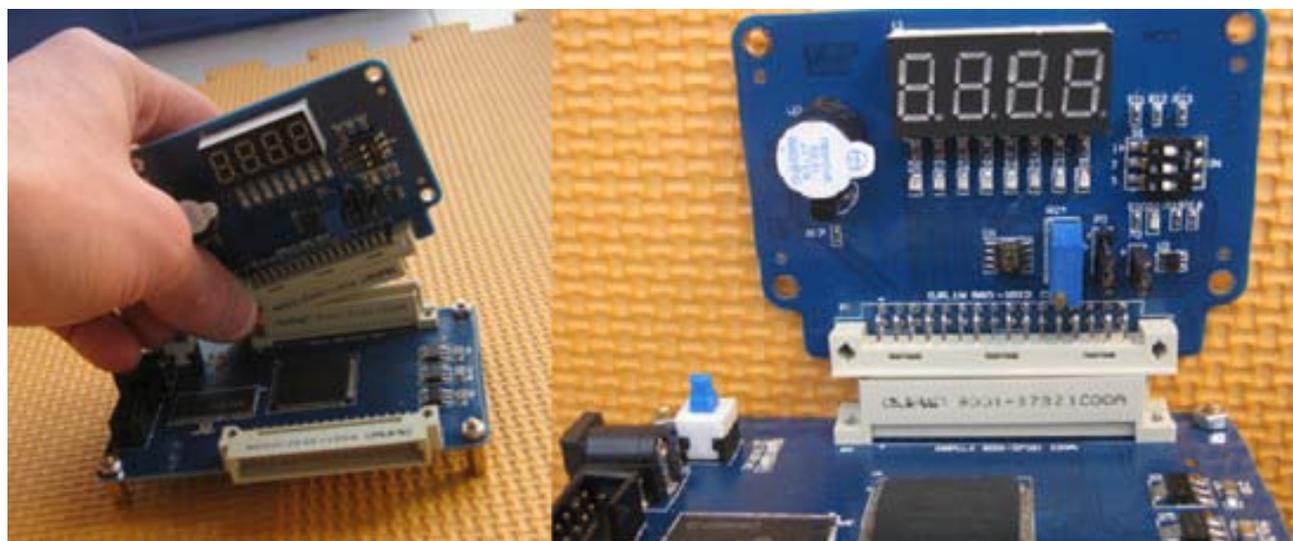
硬件板级示意图



开发套件介绍

● SF-BASE模块

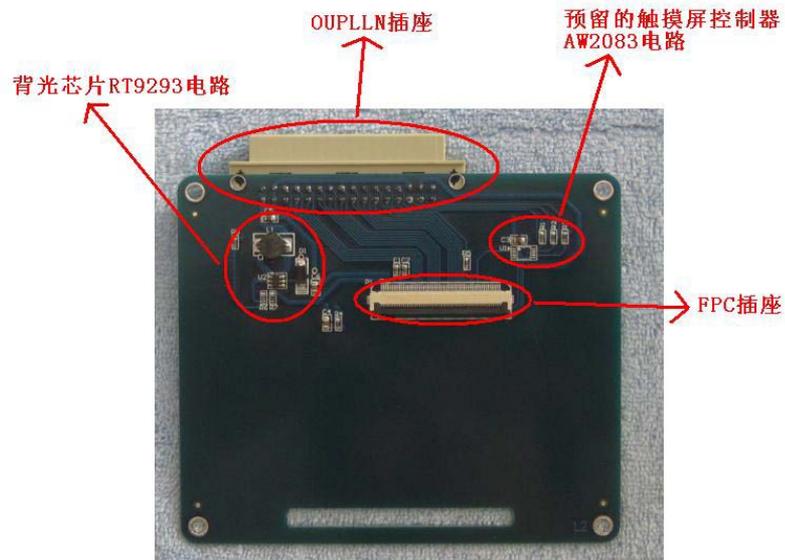
硬件板级示意图



开发套件介绍

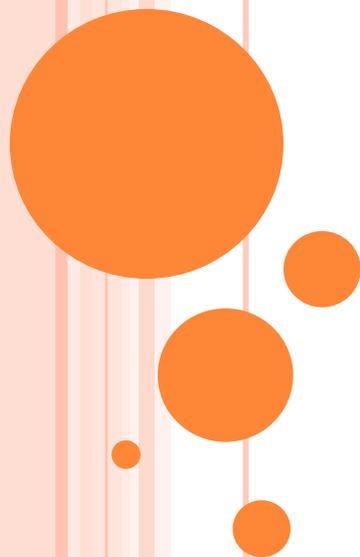
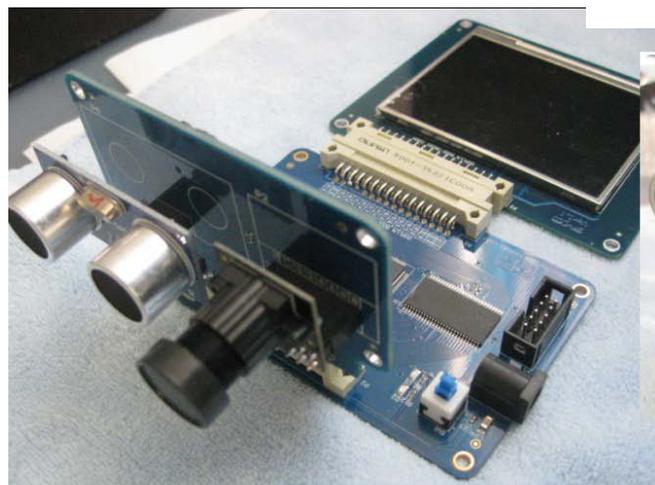
● SF-LCD模块

硬件板级示意图



开发套件介绍

● 多模块互联实例

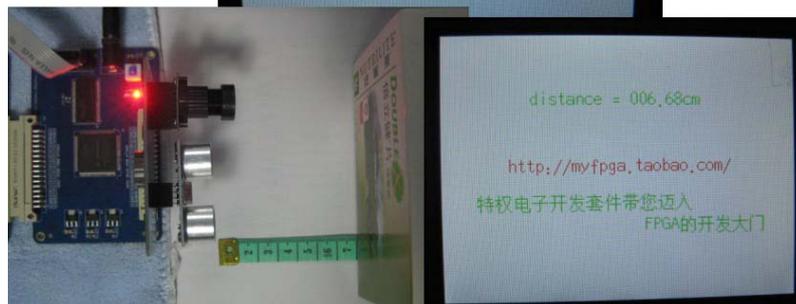


开发套件介绍

● 多模块互联实例



CMOS Sensor 视频采集



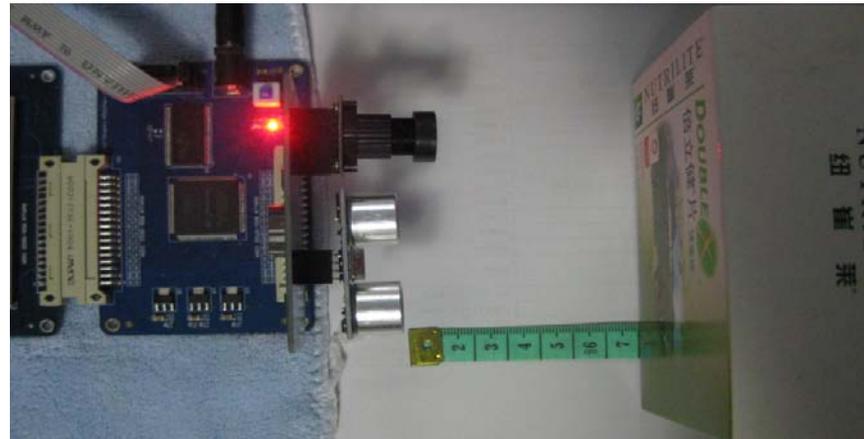
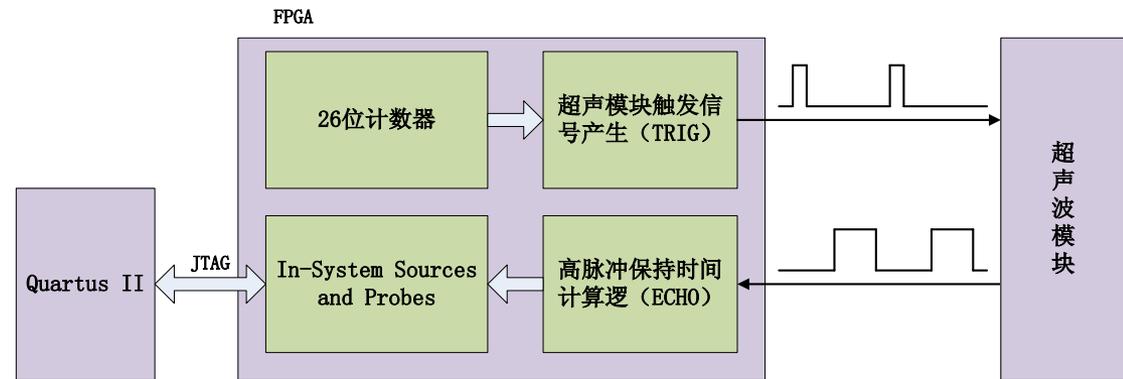
LCD字库显示 超声波测距显示 RTC实时时钟显示

开发套件学什么？

- 硬件电路设计
- 外设芯片的工作和驱动原理
- FPGA设计的系统思路
- FPGA设计的工程思想
- FPGA设计的详细代码实现方式
- FPGA的仿真和时序设计
- FPGA的板级在线调试手段和方法

开发套件学什么？

实例：超声波测距数据采集



如何选择开发套件?

选择一款合适的开发套件，开始你的FPGA学习之旅!

- 配件齐全（电源、下载线、各种配套连接线）
- 资料齐全（设计文档详细、例程丰富、代码规范、有配套视频更好）
- 可扩展性好（可以满足将来的扩展应用）
- 满足自身学习需求

问答环节





目录

SF-CY3 FPGA 套件开发指南.....	1
1 概述.....	错误! 未定义书签。
1.1 功能框图.....	错误! 未定义书签。
1.2 Cyclone III 系列 FPGA 器件简介.....	错误! 未定义书签。
1.3 EP3C5E144C8 器件资源一览.....	错误! 未定义书签。
2 SF-CY3 硬件电路解析.....	错误! 未定义书签。
2.1 实物示意图.....	错误! 未定义书签。
2.2 原理图解析.....	错误! 未定义书签。
2.2.1 系统电源电路.....	错误! 未定义书签。
2.2.2 FPGA 电源电路.....	错误! 未定义书签。
2.2.3 时钟和复位电路.....	错误! 未定义书签。
2.2.4 FPGA 配置电路.....	错误! 未定义书签。
2.2.5 SDRAM 电路.....	错误! 未定义书签。
2.2.6 LED 指示灯.....	错误! 未定义书签。
2.2.7 连接器电路.....	错误! 未定义书签。
3 SF-CY3 基本使用安装说明.....	错误! 未定义书签。
3.1 电路板安装.....	错误! 未定义书签。
3.2 Quartus II 与 ModelSim 软件下载与安装.....	错误! 未定义书签。
3.2.1 EDA 工具概述.....	错误! 未定义书签。
3.2.2 软件下载和 license 申请.....	错误! 未定义书签。
3.2.3 Quartus II 的安装.....	错误! 未定义书签。
3.2.4 ModelSim 的安装.....	错误! 未定义书签。
3.3 USB Blaster 驱动安装.....	错误! 未定义书签。
4 FPGA 的下载配置.....	错误! 未定义书签。
4.1 FPGA 的上电启动原理.....	错误! 未定义书签。
4.2 JTAG 在线烧录 FPGA.....	错误! 未定义书签。
4.3 JTAG 烧录配置芯片.....	错误! 未定义书签。
5 SF-CY3 工程实例.....	错误! 未定义书签。
5.1 逻辑 (Verilog) 实例 1——LED 闪烁.....	错误! 未定义书签。
5.1.1 新建工程.....	错误! 未定义书签。
5.1.2 输入源码.....	错误! 未定义书签。
5.1.3 ModelSim 仿真.....	错误! 未定义书签。
5.1.4 管脚分配与编译.....	错误! 未定义书签。
5.1.5 下载配置与板级调试.....	错误! 未定义书签。
5.2 逻辑 (Verilog) 实例 2——PLL 配置.....	错误! 未定义书签。
5.2.1 新建工程.....	错误! 未定义书签。
5.2.2 PLL 配置和例化.....	错误! 未定义书签。
5.2.3 ModelSim 仿真.....	错误! 未定义书签。
5.2.4 管脚分配与编译.....	错误! 未定义书签。
5.2.5 下载配置与板级调试.....	错误! 未定义书签。
5.3 基于 Qsys 的 NIOS II 实例 1——LED 闪烁.....	错误! 未定义书签。
5.2.1 新建工程.....	错误! 未定义书签。



5.1.2 Qsys 硬件系统架构.....	错误! 未定义书签。
5.1.3 例化 Qsys 系统.....	错误! 未定义书签。
5.1.4 管脚分配与编译.....	错误! 未定义书签。
5.1.5 EDS 中新建软件工程.....	错误! 未定义书签。
5.1.6 ModelSim 仿真.....	错误! 未定义书签。
5.1.7 下载配置与板级调试.....	错误! 未定义书签。
5.4 基于 Qsys 的 NIOS II 实例 2——Hello NIOS II.....	错误! 未定义书签。
5.4.1 JTAG UART 外设概述.....	错误! 未定义书签。
5.4.2 编写软件代码.....	错误! 未定义书签。
5.4.3 下载配置与板级调试.....	错误! 未定义书签。
5.5 基于 Qsys 的 NIOS II 实例 3——集成 SDRAM 外设.....	错误! 未定义书签。
5.5.1 系统概述.....	错误! 未定义书签。
5.5.2 Qsys 组件添加.....	错误! 未定义书签。
5.5.3 系统例化和管脚分配.....	错误! 未定义书签。
5.5.4 时序约束与工程编译.....	错误! 未定义书签。
5.5.5 软件工程.....	错误! 未定义书签。
6 SF-BASE 子板开发指南.....	错误! 未定义书签。
6.1 功能与原理图介绍.....	错误! 未定义书签。
6.1.1 主要外设芯片及装配.....	错误! 未定义书签。
6.1.2 插座管脚定义.....	错误! 未定义书签。
6.1.3 蜂鸣器电路.....	错误! 未定义书签。
6.1.4 LED 指示灯电路.....	错误! 未定义书签。
6.1.5 拨码开关电路.....	错误! 未定义书签。
6.1.6 数码管电路.....	错误! 未定义书签。
6.1.7 AD 转换电路.....	错误! 未定义书签。
6.1.8 DA 转换电路.....	错误! 未定义书签。
6.2 逻辑 (Verilog) 实例 3——PWM 驱动蜂鸣器.....	错误! 未定义书签。
6.2.1 实验原理.....	错误! 未定义书签。
6.2.2 Verilog 参考代码.....	错误! 未定义书签。
6.2.3 仿真验证.....	错误! 未定义书签。
6.2.4 工程实践.....	错误! 未定义书签。
6.3 逻辑 (Verilog) 实例 4——流水灯.....	错误! 未定义书签。
6.3.1 实验原理.....	错误! 未定义书签。
6.3.2 Verilog 参考代码.....	错误! 未定义书签。
6.3.3 仿真验证.....	错误! 未定义书签。
6.3.4 工程实践.....	错误! 未定义书签。
6.4 逻辑 (Verilog) 实例 5——模式流水灯.....	错误! 未定义书签。
6.4.1 实验原理.....	错误! 未定义书签。
6.4.2 Verilog 参考代码.....	错误! 未定义书签。
6.4.3 仿真验证.....	错误! 未定义书签。
6.4.4 工程实践.....	错误! 未定义书签。
6.5 逻辑 (Verilog) 实例 6——数码管显示.....	错误! 未定义书签。
6.5.1 实验原理.....	错误! 未定义书签。
6.5.2 Verilog 参考代码.....	错误! 未定义书签。



6.5.3 仿真验证	错误! 未定义书签。
6.5.4 工程实践	错误! 未定义书签。
6.6 逻辑 (Verilog) 实例 7——基于 In-System Sources and Probes Editor 的 AD 采集	错误! 未定义书签。
6.6.1 概述	错误! 未定义书签。
6.6.2 AD 采样控制原理	错误! 未定义书签。
6.6.3 In-System Sources and Probes Editor 例化	错误! 未定义书签。
6.6.4 Verilog 参考代码	错误! 未定义书签。
6.6.5 仿真验证	错误! 未定义书签。
6.6.6 工程实践	错误! 未定义书签。
6.7 逻辑 (Verilog) 实例 8——基于 In-System Sources and Probes Editor 的 DA 输出	错误! 未定义书签。
6.7.1 概述	错误! 未定义书签。
6.7.2 DA 采样控制原理	错误! 未定义书签。
6.7.3 In-System Sources and Probes Editor 例化	错误! 未定义书签。
6.7.4 Verilog 参考代码	错误! 未定义书签。
6.7.5 仿真验证	错误! 未定义书签。
6.7.6 工程实践	错误! 未定义书签。
6.8 基于 Qsys 的 NIOS II 实例 4——PIO 中断控制	错误! 未定义书签。
6.8.1 工程移植	错误! 未定义书签。
6.8.2 添加组件	错误! 未定义书签。
6.8.3 例化系统	错误! 未定义书签。
6.8.4 时序约束	错误! 未定义书签。
6.8.5 软件编程	错误! 未定义书签。
6.9 基于 Qsys 的 NIOS II 实例 5——数码管定时器中断	错误! 未定义书签。
6.9.1 功能概述	错误! 未定义书签。
6.9.2 组件编辑	错误! 未定义书签。
6.9.3 组件添加	错误! 未定义书签。
6.9.4 例化系统	错误! 未定义书签。
6.9.5 软件编程	错误! 未定义书签。
6.10 基于 Qsys 的 NIOS II 实例 6——AD/DA 组件	错误! 未定义书签。
6.9.1 功能概述	错误! 未定义书签。
6.9.2 组件编辑	错误! 未定义书签。
6.9.3 组件添加	错误! 未定义书签。
6.9.4 例化系统	错误! 未定义书签。
6.9.5 软件编程	错误! 未定义书签。
7 SF-LCD 子板开发指南	错误! 未定义书签。
7.1 功能与原理图介绍	错误! 未定义书签。
7.1.1 主要外设芯片及电路图解析	错误! 未定义书签。
7.1.2 装配示意图	错误! 未定义书签。
7.2 逻辑 (Verilog) 实例 9——LCD 的基本驱动	错误! 未定义书签。
7.2.1 LCD 驱动原理	错误! 未定义书签。
7.2.2 Verilog 代码	错误! 未定义书签。
7.2.3 工程实践	错误! 未定义书签。



7.3 逻辑 (Verilog) 实例 10——LCD 的 32 级红色显示	错误! 未定义书签。
7.3.1 色彩显示原理	错误! 未定义书签。
7.3.2 Verilog 代码	错误! 未定义书签。
7.3.3 工程实践	错误! 未定义书签。
7.4 逻辑 (Verilog) 实例 11——基于 FPGA 内嵌 RAM 的 LCD 字符显示	错误! 未定义书签。
7.4.1 字符取模	错误! 未定义书签。
7.4.2 字符显示原理	错误! 未定义书签。
7.4.3 内嵌 RAM 的配置和例化	错误! 未定义书签。
7.4.3 Verilog 代码	错误! 未定义书签。
7.4.4 工程实践	错误! 未定义书签。
7.5 逻辑 (Verilog) 实例 12——基于 In-System Memory Content Editor 的 LCD 实时显示字符更改	错误! 未定义书签。
7.6 基于 Qsys 的 NIOS II 实例 7——Qsys 的 LCD 组件设计	错误! 未定义书签。
7.6.1 系统原理概述	错误! 未定义书签。
7.6.2 LCD 驱动移植	错误! 未定义书签。
7.6.3 SDRAM 控制器设计	错误! 未定义书签。
7.6.4 Avalon-MM 从机接口设计	错误! 未定义书签。
7.6.5 数据缓存模块和 FIFO 配置	错误! 未定义书签。
7.6.6 PLL 配置与复位设计	错误! 未定义书签。
7.6.7 Qsys 系统构建	错误! 未定义书签。
7.6.8 管脚分配与时序约束	错误! 未定义书签。
7.6.9 软件工程实例	错误! 未定义书签。
8 SF-SENSOR 子板开发指南	错误! 未定义书签。
8.1 功能与原理图介绍	错误! 未定义书签。
8.1.1 主要外设芯片及电路图解析	错误! 未定义书签。
8.1.2 装配示意图	错误! 未定义书签。
8.2 基于 Qsys 的 NIOS II 实例 8——SPI 接口字库芯片控制	错误! 未定义书签。
8.2.1 新 Qsys 系统——添加 SPI 组件	错误! 未定义书签。
8.2.2 SPI 外设驱动——编程原理	错误! 未定义书签。
8.2.3 字库芯片驱动——编程原理	错误! 未定义书签。
8.2.4 软件工程实例	错误! 未定义书签。
8.3 基于 Qsys 的 NIOS II 实例 9——IIC 接口实时时钟 (RTC) 芯片控制	错误! 未定义书签。
8.3.1 RTC 实时时钟芯片驱动原理	错误! 未定义书签。
8.3.2 IIC 控制器组件设计	错误! 未定义书签。
8.3.3 Qsys 系统构建	错误! 未定义书签。
8.3.4 软件工程实例	错误! 未定义书签。
8.4 逻辑 (Verilog) 实例 13——超声波测距数据采集	错误! 未定义书签。
8.4.1 超声波模块驱动原理	错误! 未定义书签。
8.4.2 数据采集平台构建	错误! 未定义书签。
8.4.3 数据采集在线调试	错误! 未定义书签。
8.5 基于 Qsys 的 NIOS II 实例 10——超声波测距换算	错误! 未定义书签。
8.5.1 超声波模块组件创建	错误! 未定义书签。
8.5.2 硬件系统搭建	错误! 未定义书签。



8.5.3 软件工程调试	错误! 未定义书签。
8.6 逻辑 (Verilog) 实例 14——基于 CMOS Sensor 的视频采集显示	错误! 未定义书签。
8.6.1 CMOS 摄像头应用背景与驱动原理	错误! 未定义书签。
8.6.2 采集系统设计概述	错误! 未定义书签。
8.6.3 IIC 接口配置模块设计	错误! 未定义书签。
8.6.4 视频流采集模块设计	错误! 未定义书签。
8.6.5 工程移植	错误! 未定义书签。
8.6.6 CMOS Sensor 接口时序约束	错误! 未定义书签。
8.6.7 板级调试	错误! 未定义书签。
附录 A 实例与工程映射	错误! 未定义书签。
附录 B 套件淘宝购买链接	错误! 未定义书签。

