

时序设计专题之二

——时序分析基础

BY 特权同学

时序分析基础

何谓静态时序分析（**STA, Static Timing Analysis**）？

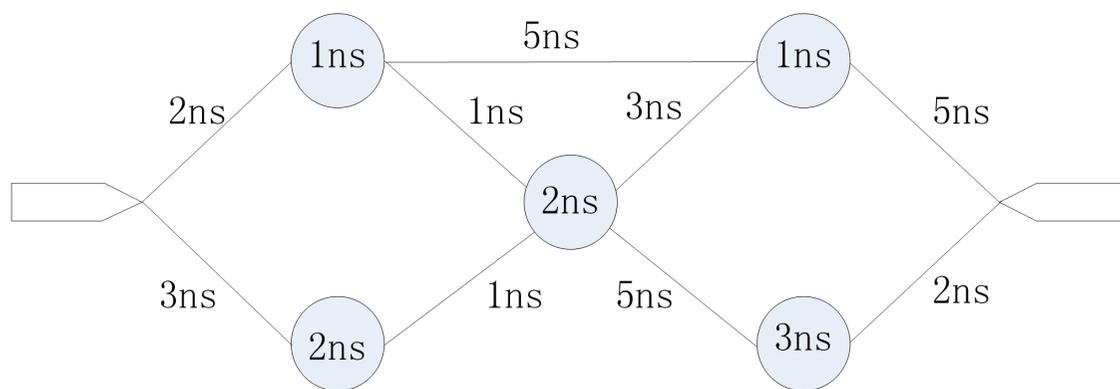
设计者提出一些特定的时序要求（或者说是添加特定的时序约束），套用特定的时序模型，针对特定的电路进行分析。分析的最终结果当然是要求系统时序满足设计者提出的要求，即达到时序的收敛。



时序分析基础

例1:

一个输入信号在FPGA经过各种处理后输出。系统要求这个信号在FPGA内部的延时不能超过15ns，而开发工具在实现过程中找到了如图所示的一些可能的布局布线方式。路径总延时可能为14ns、14ns、16ns、17ns、18ns，有两条路径能够满足要求，那么最后的布局布线就会选择满足要求的两条路径之一。



时序分析基础

例1分析:

时序约束值为**15ns**；如果最终选择了**16ns**、**17ns**、**18ns**的路径，那么时序不收敛，只有选择**14ns**的路径，时序才能够收敛。

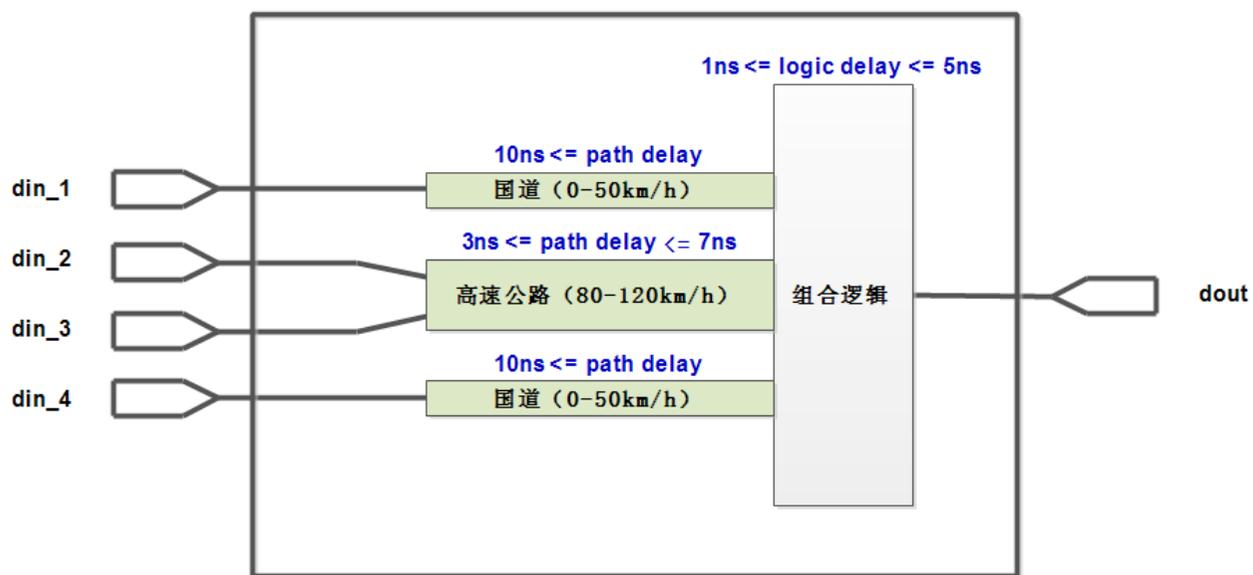
静态时序分析的前提就是设计者先提出要求，然后时序分析工具才会根据特定的时序模型进行分析，即有约束才会有分析。若设计者不添加时序约束，那么时序分析或时序收敛就无从谈起。也就是说，只有在对设计添加了时序约束后，系统的时序问题才有可能暴露出来。



时序分析基础

例2:

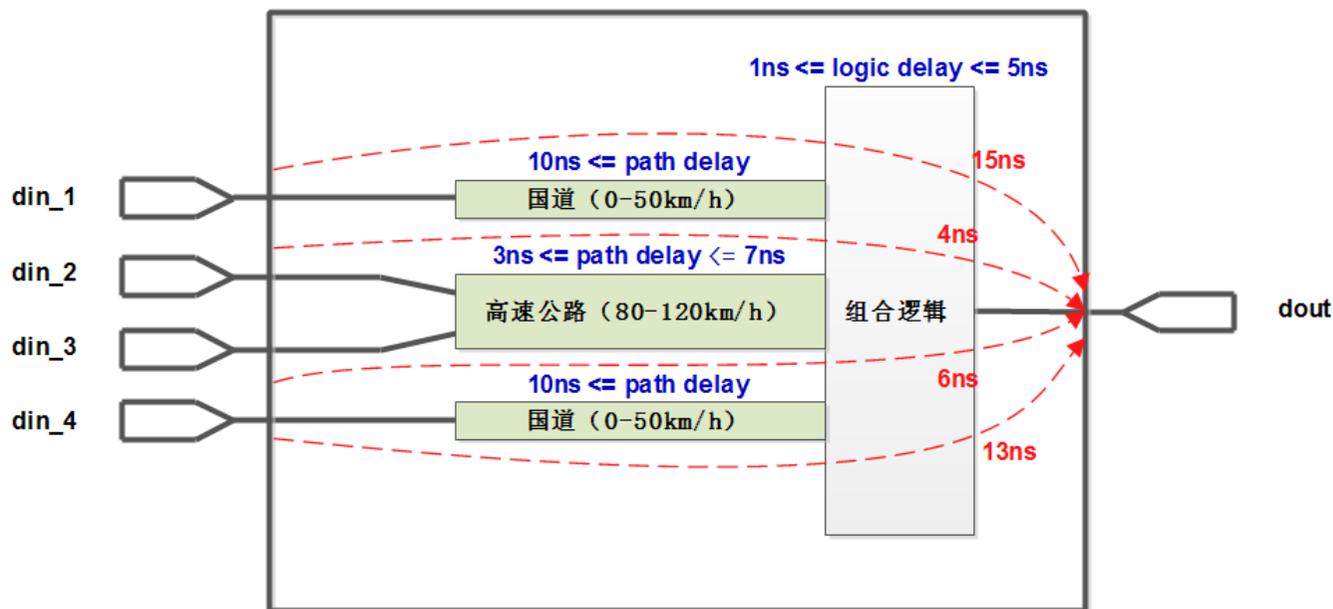
4个输入信号，经过FPGA内部一些逻辑处理后输出。FPGA内部的布线资源有快有慢之分，好比国道和高速公路。高速通道的路径延时假设为 3ns - 7ns ，但只有两条可用；而慢速通道的路径延时则 $>10\text{ns}$ 。



时序分析基础

例2默认时序:

默认情况下，离高速通道较近的din_2和din_3路径被布线到了高速通道上，当前的4个信号在FPGA内部的延时为：
 $din_1 = 15ns$, $din_2 = 4ns$, $din_3 = 6ns$, $din_4 = 13ns$ 。



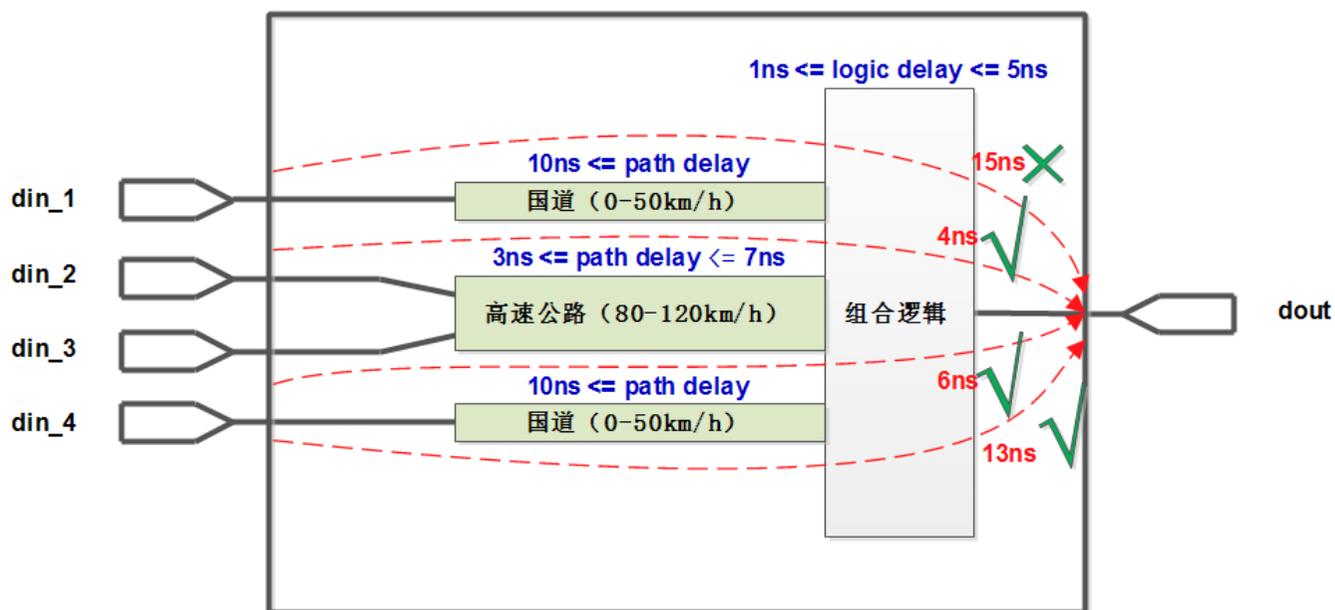
时序分析基础

例2默认时序分析:

实际系统需求是

$din_1 < 10ns$, $din_2 < 10ns$, $din_3 < 20ns$, $din_4 < 20ns$ 。

默认情况下 din_1 无法满足时序要求。



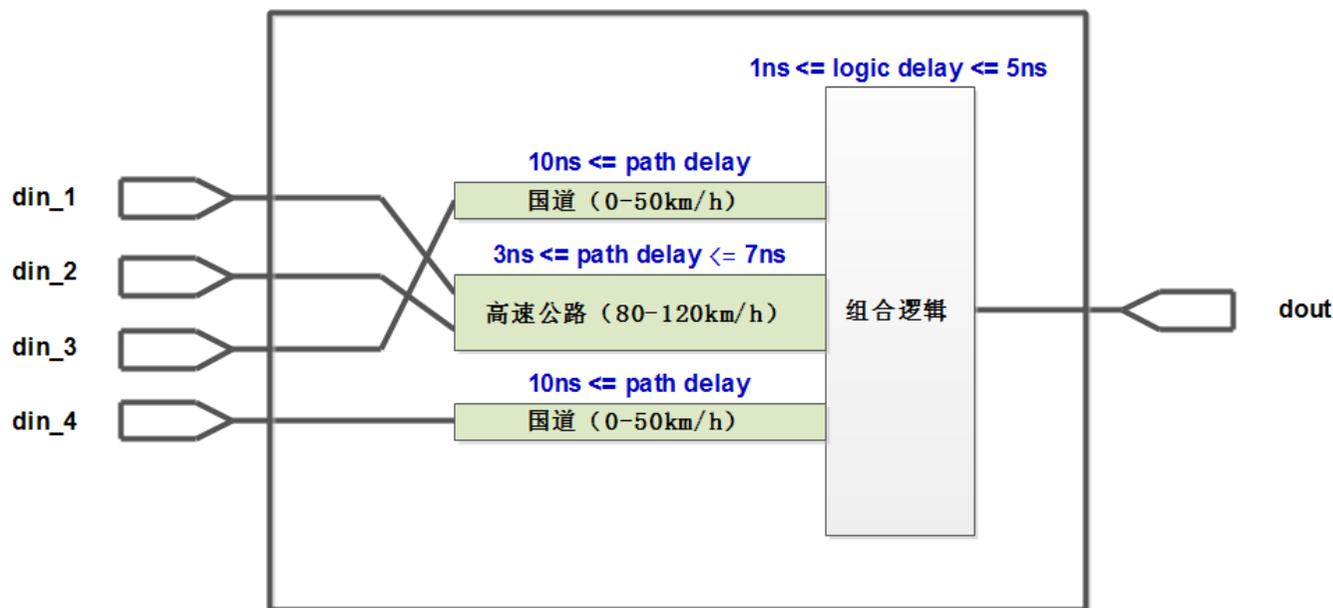
时序分析基础

例2约束后时序:

如果我们按照实际需求对FPGA进行时序约束:

$din_1 < 10ns$, $din_2 < 10ns$, $din_3 < 20ns$, $din_4 < 20ns$ 。

此时, FPGA将重新进行布局布线。



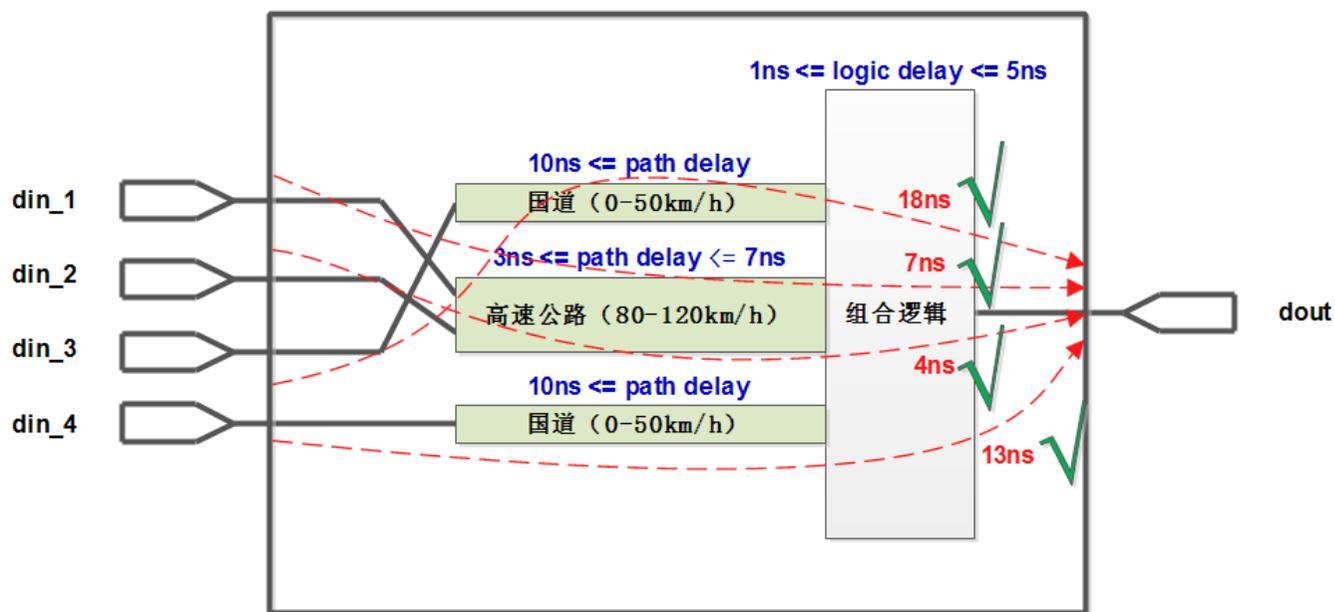
时序分析基础

例2约束后时序分析:

重新布局布线后:

$din1 = 7ns$, $din2 = 4ns$, $din3 = 18ns$, $din4 = 13ns$ 。

此时, **FPGA**内部的时序全部满足要求。



时序分析基础

例2时序欠约束：

欠约束的情况（**din1**和**din2**过约束）：

约束 $din1 < 20ns$, $din2 < 20ns$, $din3 < 20ns$, $din4 < 20ns$ 。

此时，由于4条路径的延时都能够控制在20ns要求之内，所以当前的约束都能够达到目标。

但是，相对于实际的情况，有两种情形：

A. **din1**和**din2**走了高速通道，那么当前约束也能够满足实际的时序要求；

B. **din1**和**din2**都没有走高速通道，或者有1条路径走了高速通道，那么结果是一样的，整个系统的时序无法满足要求。

时序分析基础

例2时序过约束：

过约束的情况（**din3**和**din4**过约束）：

约束 **din1** < 10ns, **din2** < 10ns, **din3** < 10ns, **din4** < 10ns。

此时，由于能够走高速通道使得路径延时<10ns的路径只有**2**条，那么无论如何当前的约束都有**2**条无法达到目标。

但是，相对于实际的情况，有两种情形：

A. **din1**和**din2**走了高速通道，那么当前约束也能够满足实际的时序要求；

B. **din1**和**din2**都没有走高速通道，或者有**1**条路径走了高速通道，那么结果是一样的，整个系统的时序无法满足要求。

时序分析基础

例2总结:

这个简单的例子当然不会是FPGA内部实际的情况，但是FPGA内部的各种资源若要得到均衡的分配，设计者就必须添加一定的约束（时序约束），将设计的需求传达给工具，那么才有可能指导工具进行资源的合理分配，保证系统的基本性能要求得以实现。

时序欠约束和时序过约束都是不可取的，设计者应该根据实际的系统时序要求，添加合适的时序要求（可以稍微过约束），帮助设计工具达到最佳的时序性能。

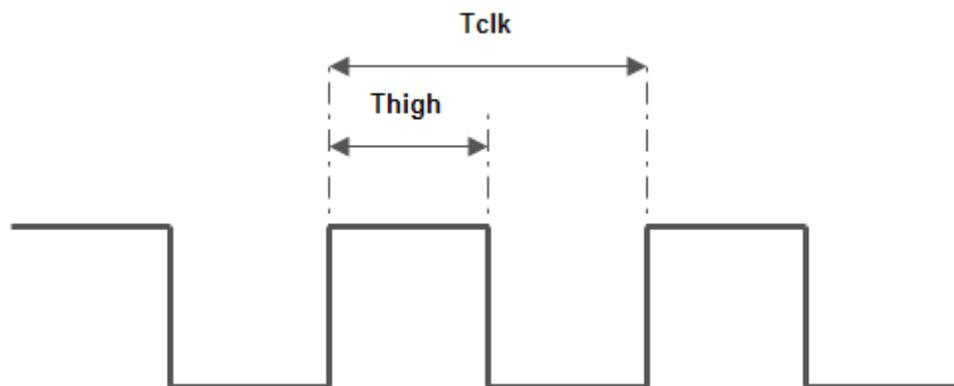


时序分析基础

基本时序概念 —— 时钟(Tclk)

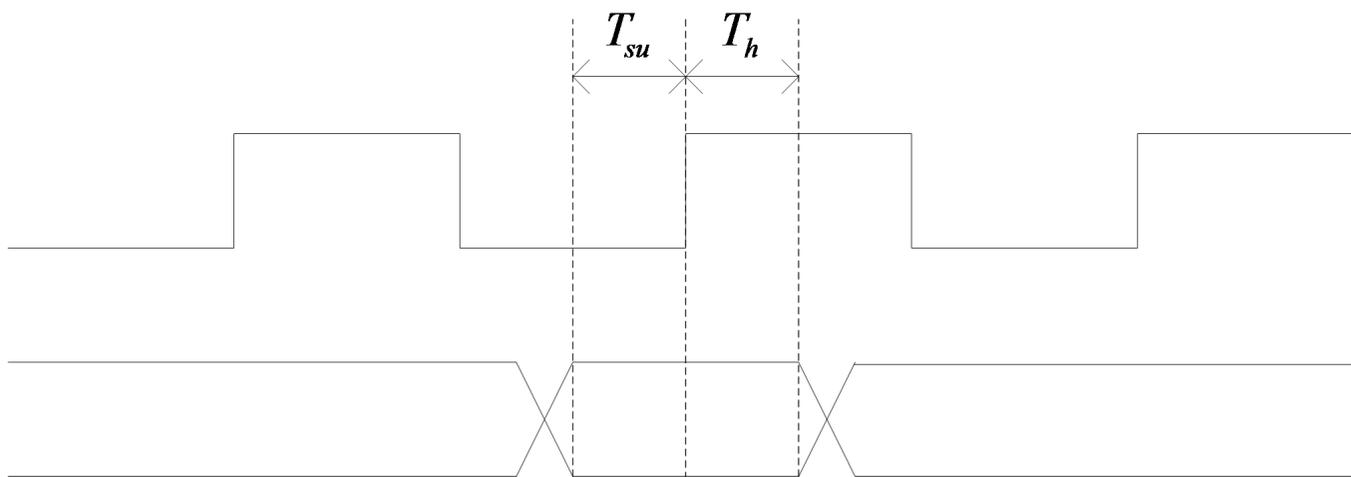
时钟周期 = Tclk

占空比 = T_{high}/T_{clk}



时序分析基础

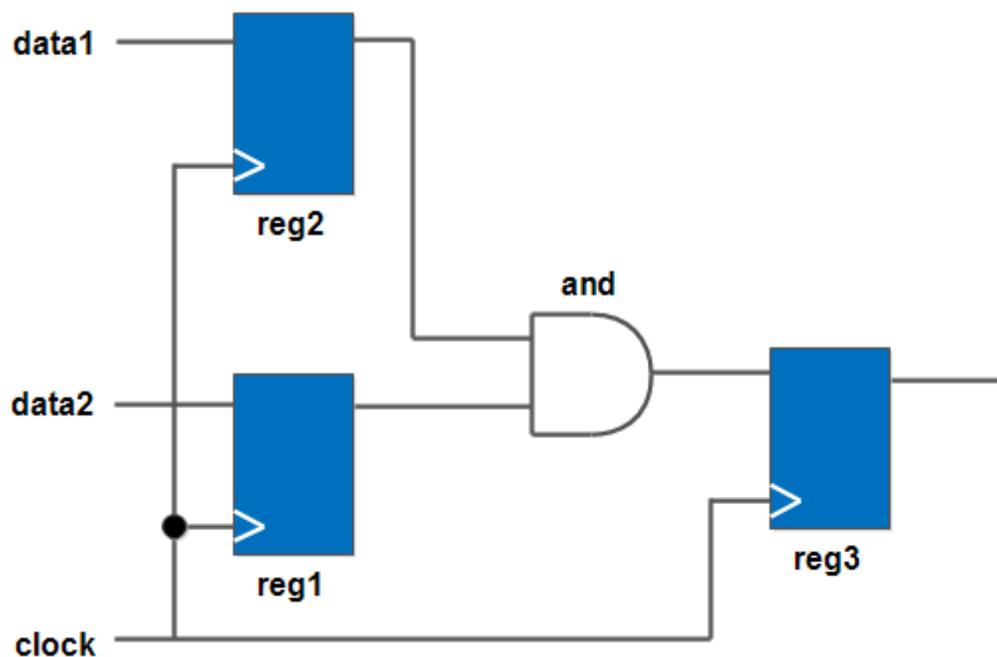
基本时序概念 —— 建立时间(T_{su})和保持时间(T_h)



时序分析基础

建立时间(T_{su})和保持时间(T_h)

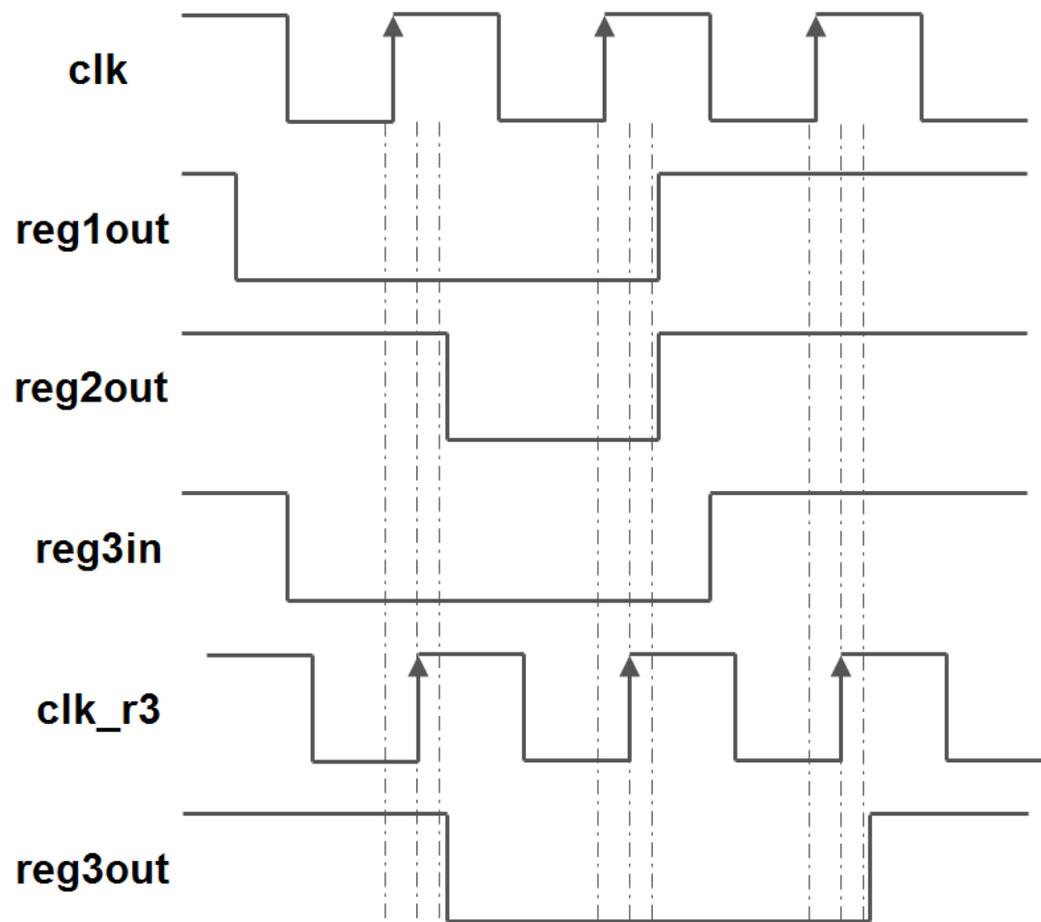
一个二输入与功能的时序设计模型



时序分析基础

建立时间(T_{su})和保持时间(T_h)

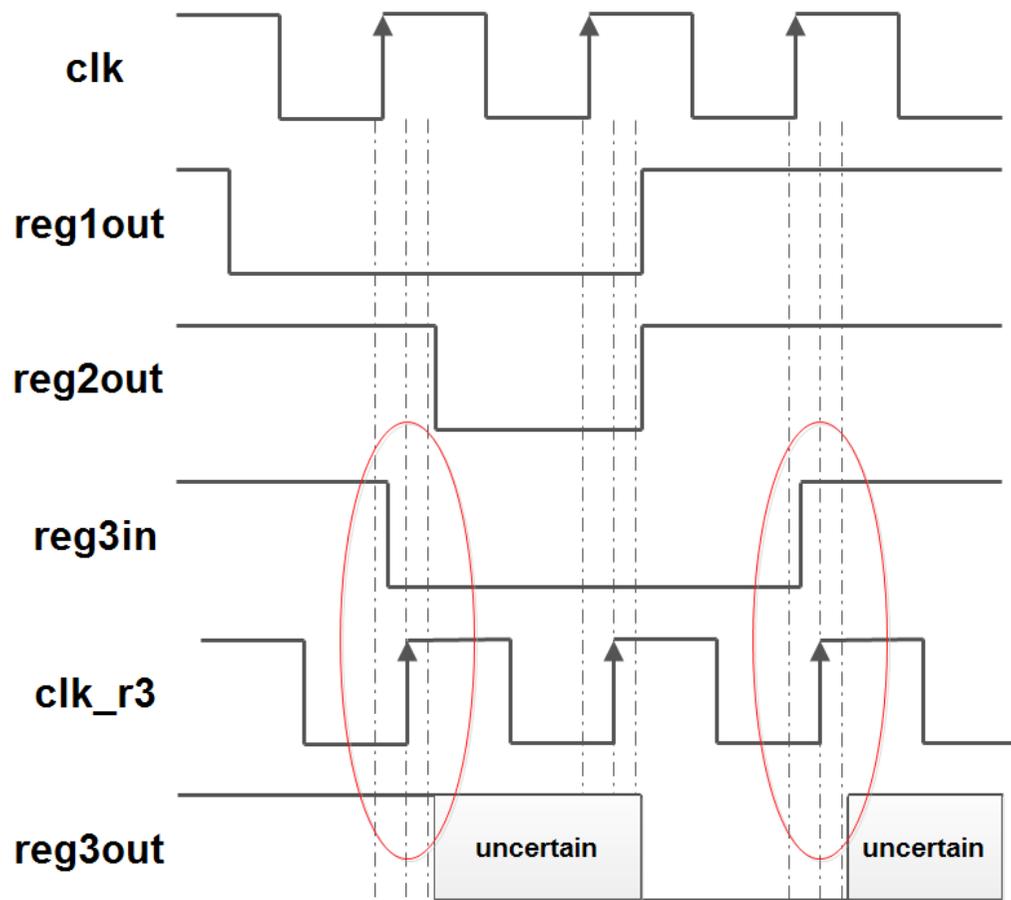
满足时序要求波形



时序分析基础

建立时间(T_{su})和保持时间(T_h)

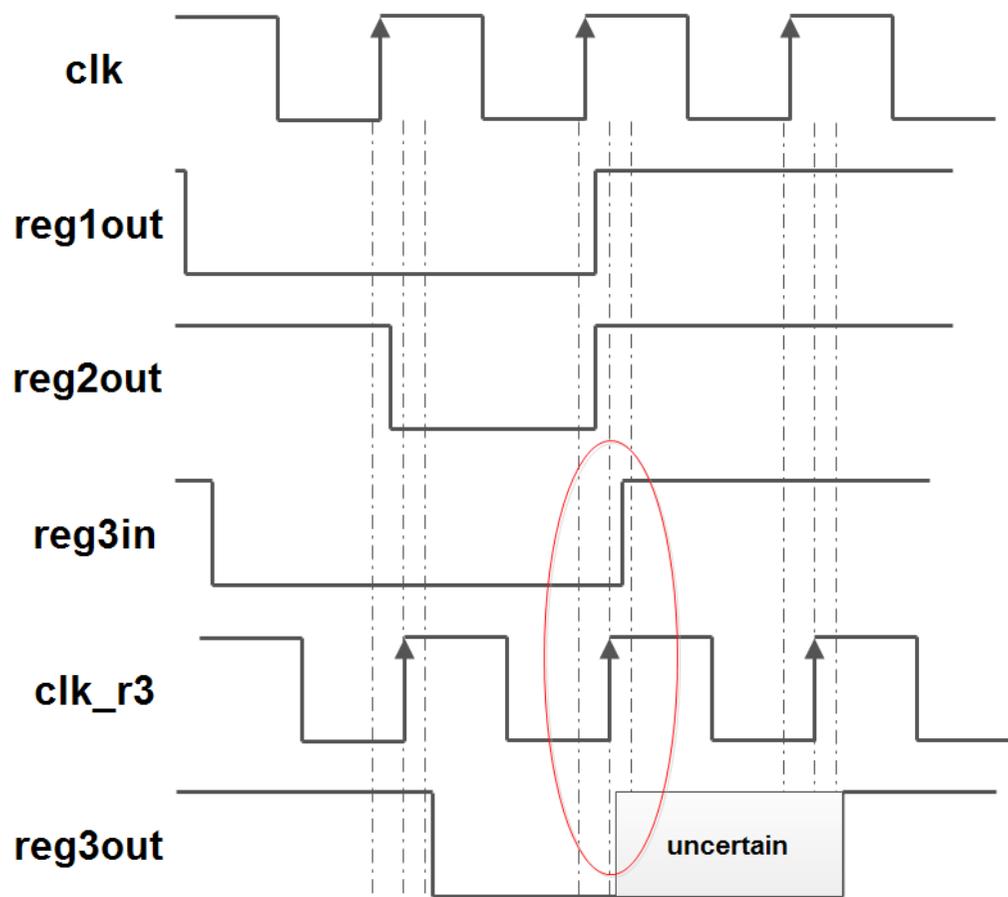
建立时间违规波形



时序分析基础

建立时间(T_{su})和保持时间(T_h)

保持时间违规波形



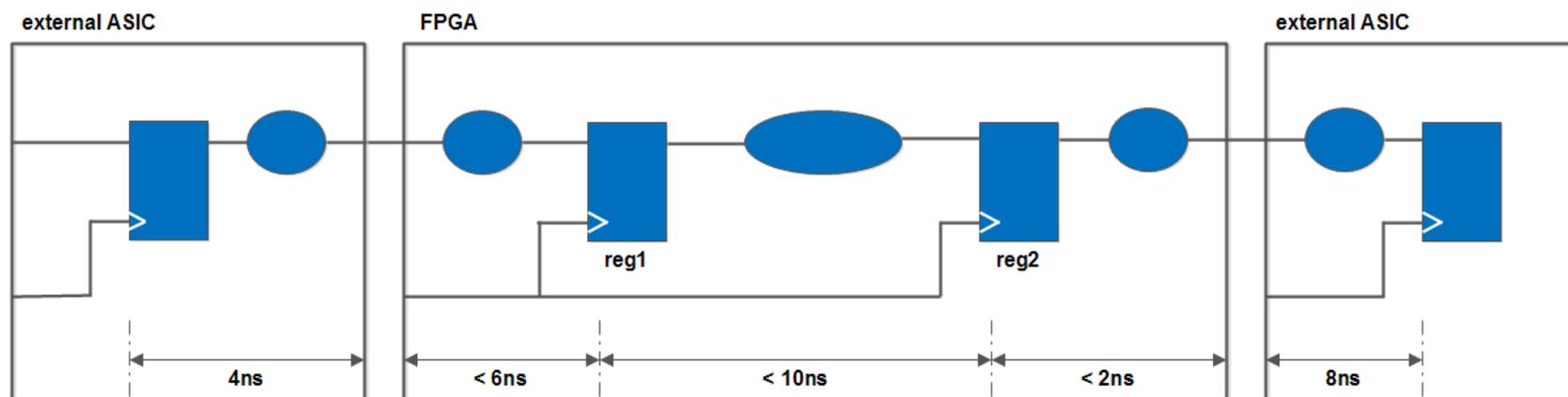
时序分析基础

基本时序路径 —— 三类基本约束路径

输入信号 pin2reg

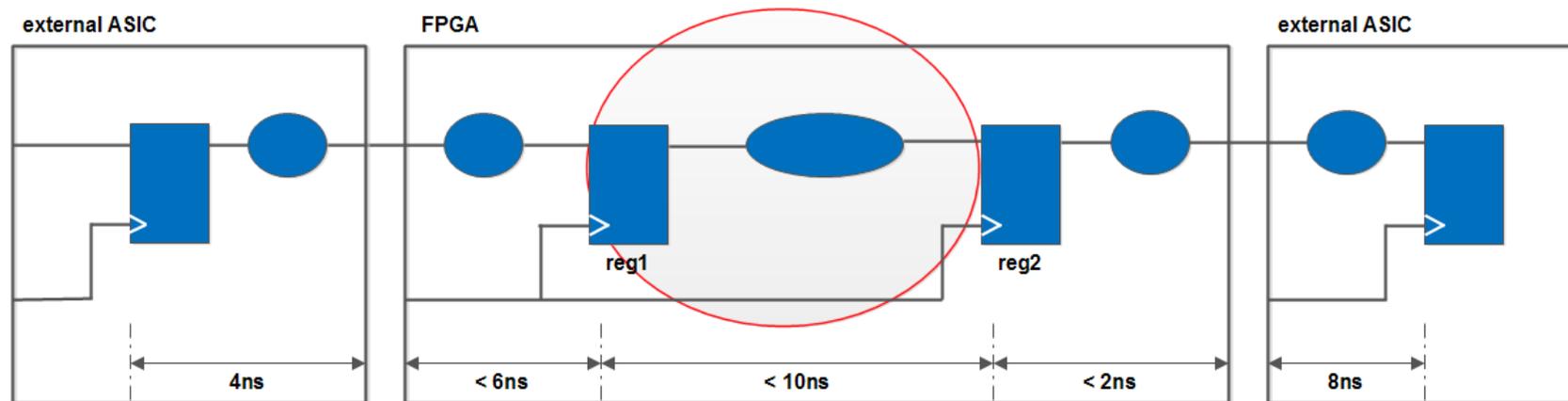
内部信号 reg2reg

输出信号 reg2pin



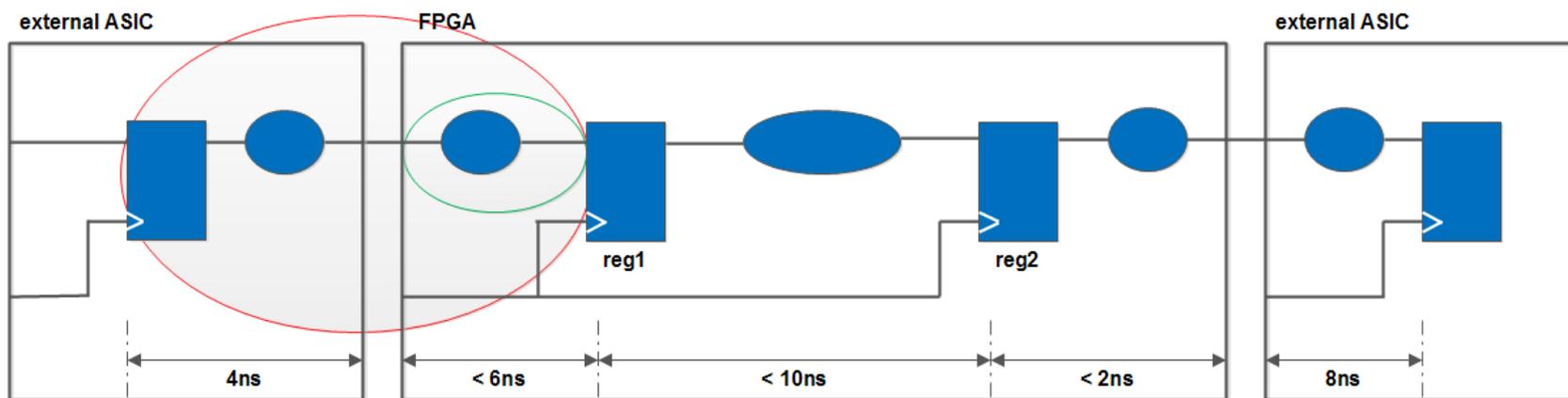
时序分析基础

基本时序路径 —— 寄存器到寄存器的路径 (reg2reg)



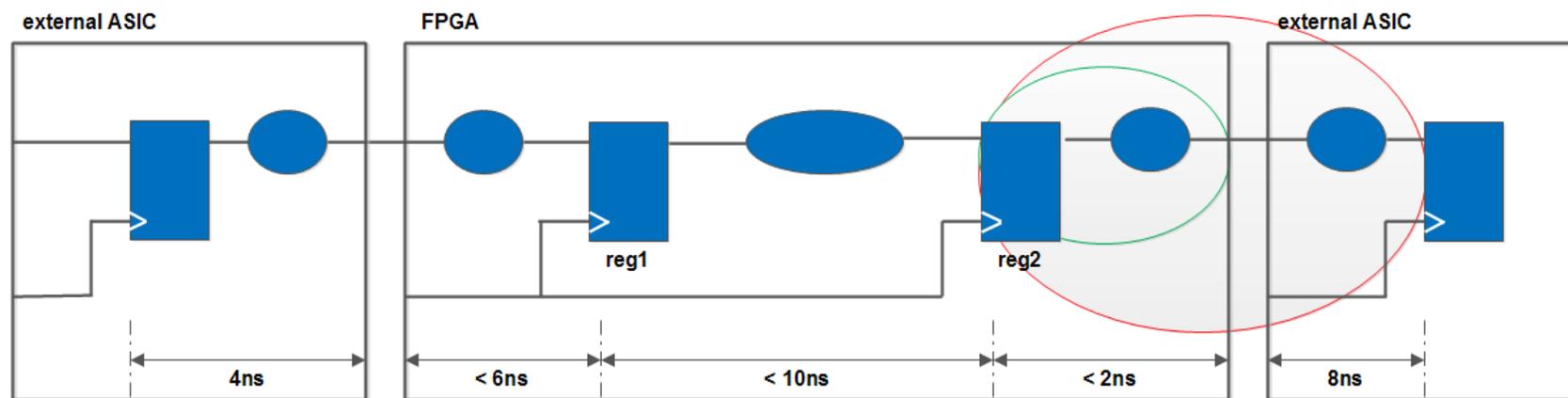
时序分析基础

基本时序路径 —— 寄存器到寄存器的路径 (pin2reg)



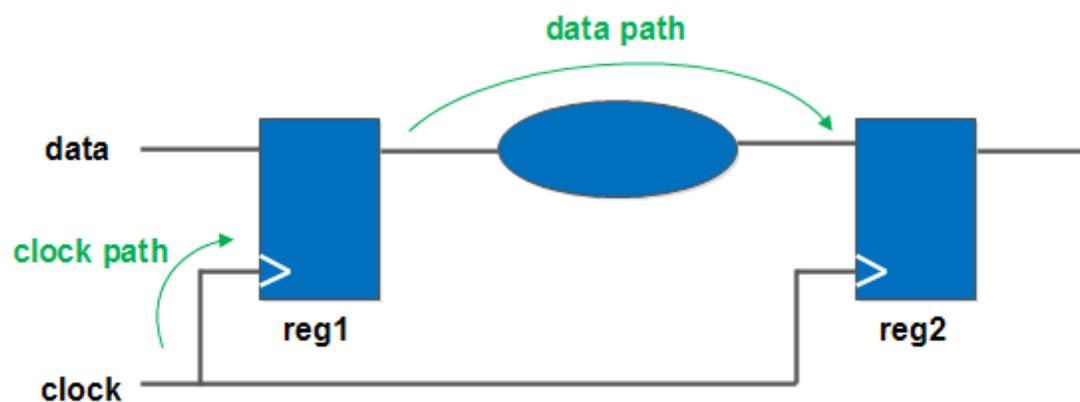
时序分析基础

基本时序路径 —— 寄存器到寄存器的路径 (reg2pin)



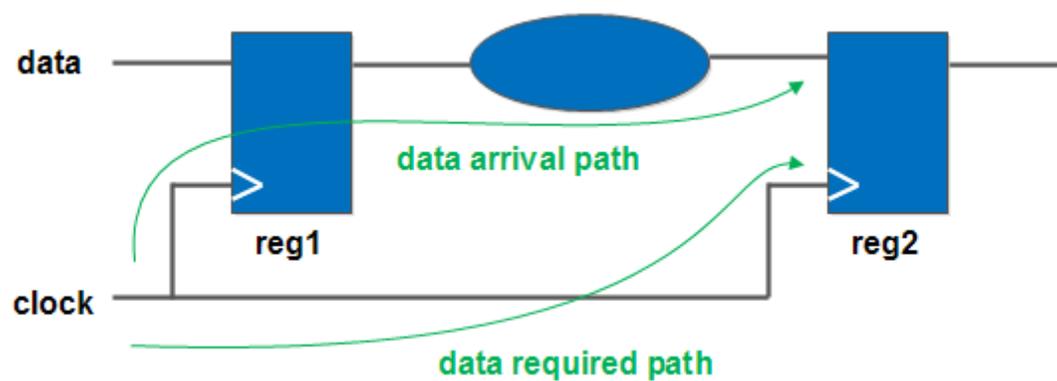
时序分析基础

基本时序路径 —— 寄存器到寄存器的路径 (reg2reg)



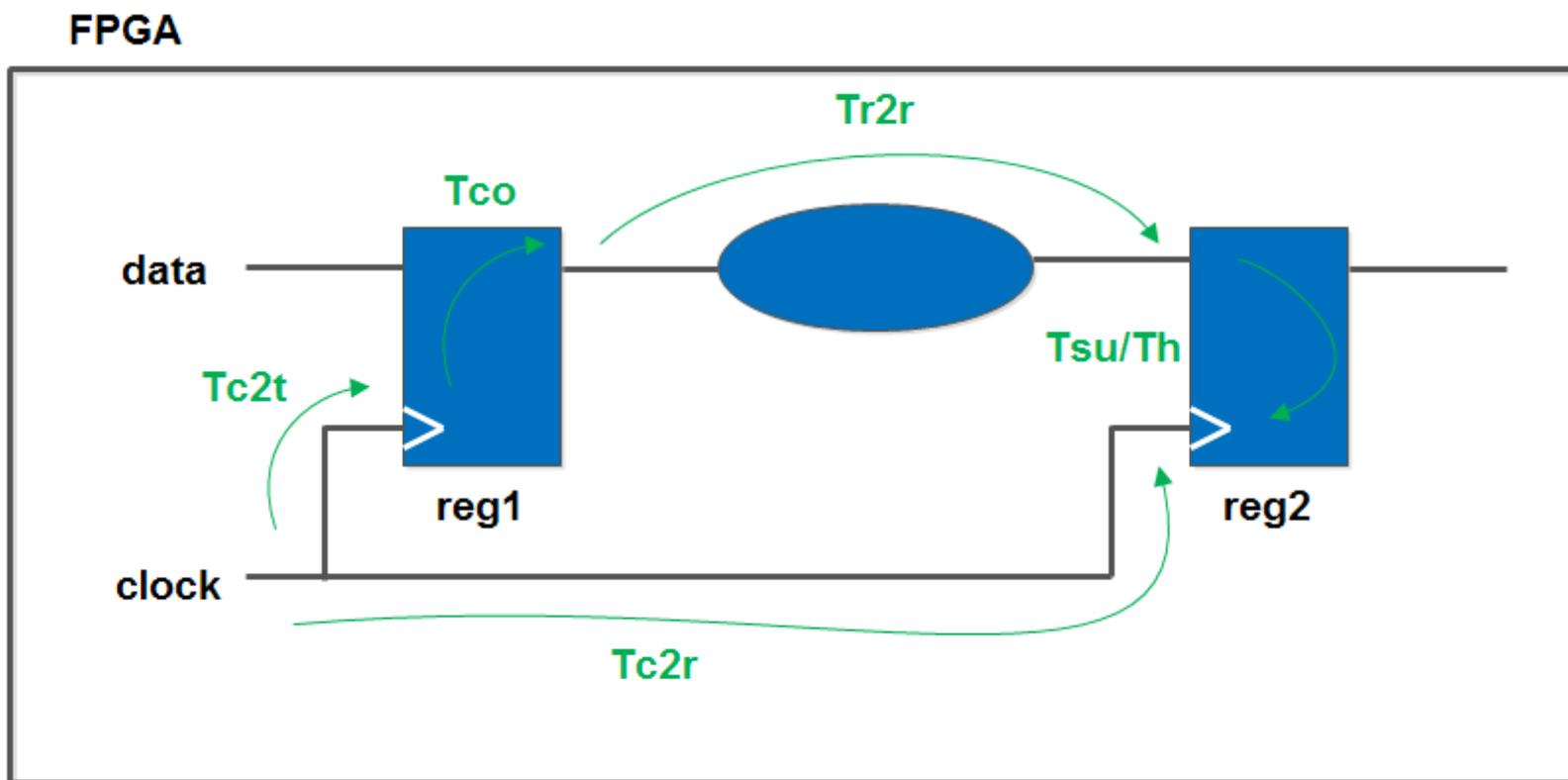
时序分析基础

基本时序路径 —— 寄存器到寄存器的路径 (reg2reg)



时序分析基础

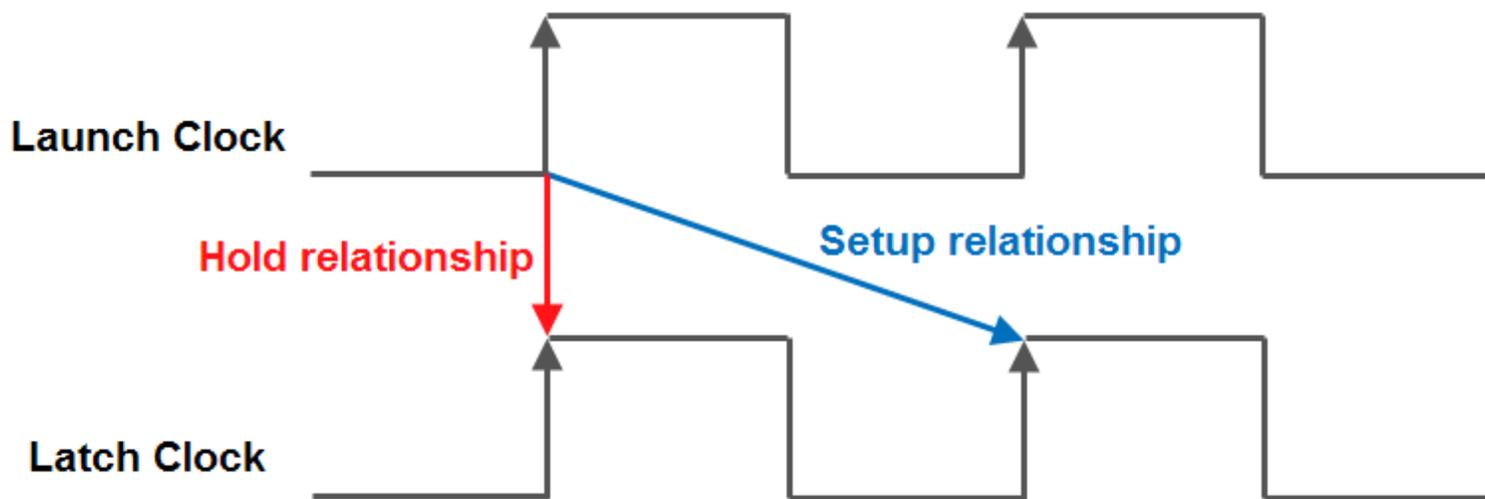
基本时序路径 —— 寄存器到寄存器的路径 (reg2reg)



时序分析基础

基本时序路径 —— 寄存器到寄存器的路径 (reg2reg)

Launch clock & latch clock



时序分析基础

$$\text{Clock Setup Slack} = \text{Data Required Time} - \text{Data Arrival Time}$$

$$\text{Data Arrival Time} = \text{Launch Edge} + \text{Clock Network Delay to Source Register} + \mu t_{CO} + \text{Register-to-Register Delay}$$

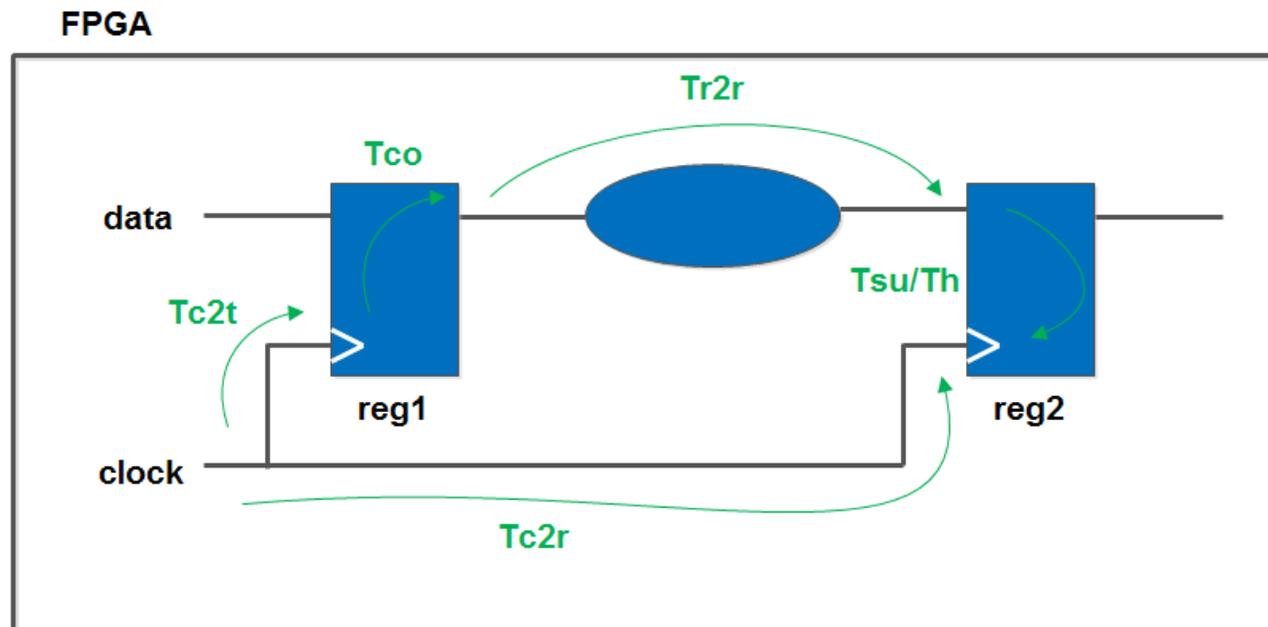
$$\text{Data Required Time} = \text{Latch Edge} + \text{Clock Network Delay to Destination Register} - \mu t_{SU} - \text{Setup Uncertainty}$$

基本时序路径 —— 寄存器到寄存器的路径 (reg2reg)

$$\text{Setup time slack} = \text{Data Required Time} - \text{Data Arrival Time}$$

$$\text{Data Arrival Time} = \text{Launch Edge} + T_{c2t} + T_{co} + T_{r2r}$$

$$\text{Data Required Time} = \text{Latch Edge} + T_{c2r} - T_{su}$$



时序分析基础

$$\text{Clock Hold Slack} = \text{Data Arrival Time} - \text{Data Required Time}$$

$$\text{Data Arrival Time} = \text{Launch Edge} + \text{Clock Network Delay to Source Register} + \mu_{\text{CO}} + \text{Register-to-Register Delay}$$

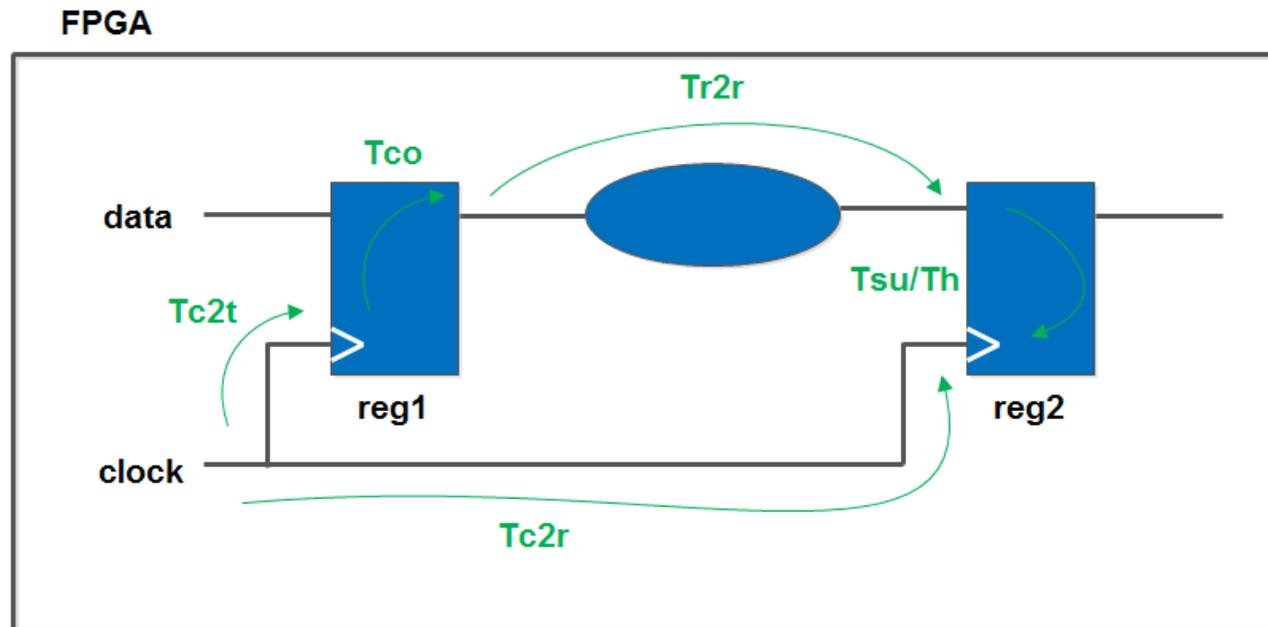
$$\text{Data Required Time} = \text{Latch Edge} + \text{Clock Network Delay to Destination Register} + \mu_{\text{H}} + \text{Hold Uncertainty}$$

基本时序路径 —— 寄存器到寄存器的路径 (reg2reg)

$$\text{Hold time slack} = \text{Data Arrival Time} - \text{Data Required Time}$$

$$\text{Data Arrival Time} = \text{Launch Edge} + T_{\text{c2t}} + T_{\text{co}} + T_{\text{r2r}}$$

$$\text{Data Required Time} = \text{Latch Edge} + T_{\text{c2r}} + T_{\text{h}}$$



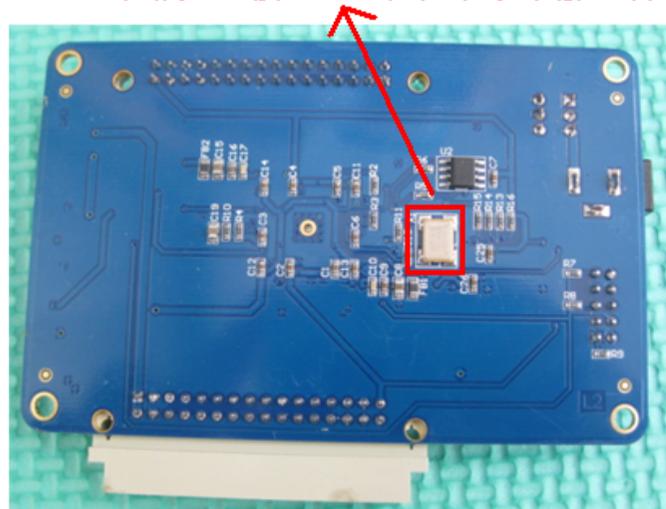
时序分析基础

例3: SF-CY3核心板实例

FPGA内部时钟约束, 即reg2reg路径时序约束。

```
3 module ex0(  
4     clk,rst_n,led  
5 );  
6  
7 input clk; FPGA外部引入的25MHz时钟  
8 input rst_n;  
9 output led;  
10  
11 reg[23:0] cnt;  
12  
13 always @(posedge clk or negedge rst_n)  
14     if(!rst_n) cnt <= 24'd0;  
15     else cnt <= cnt+1'b1;  
16  
17 assign led = cnt[23];  
18  
19  
20 endmodule
```

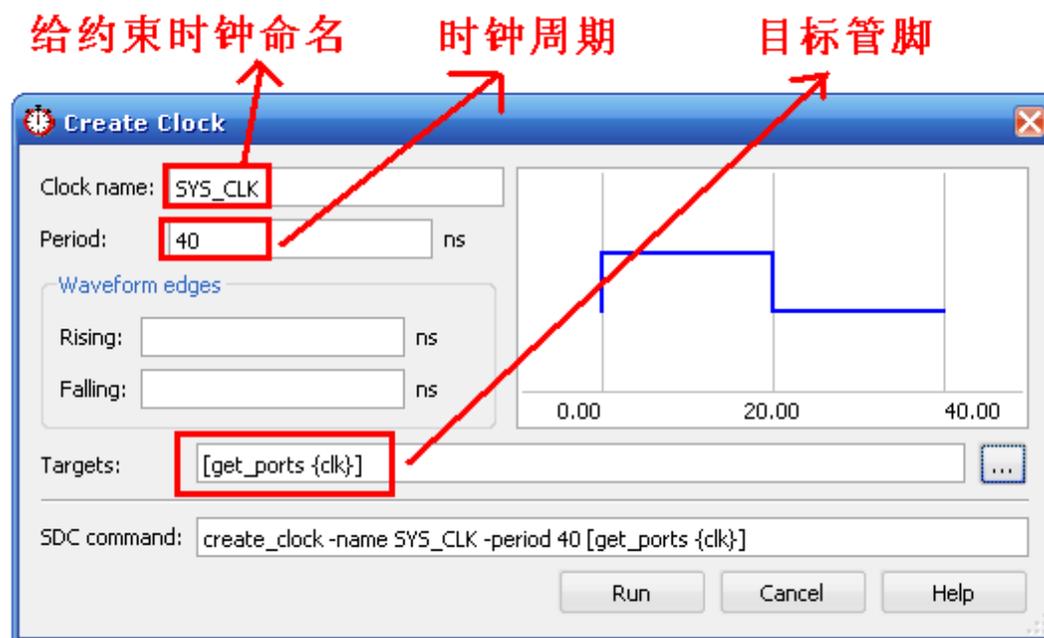
25MHz的晶振连接FPGA的专用时钟输入管脚



时序分析基础

例3： SF-CY3核心板实例

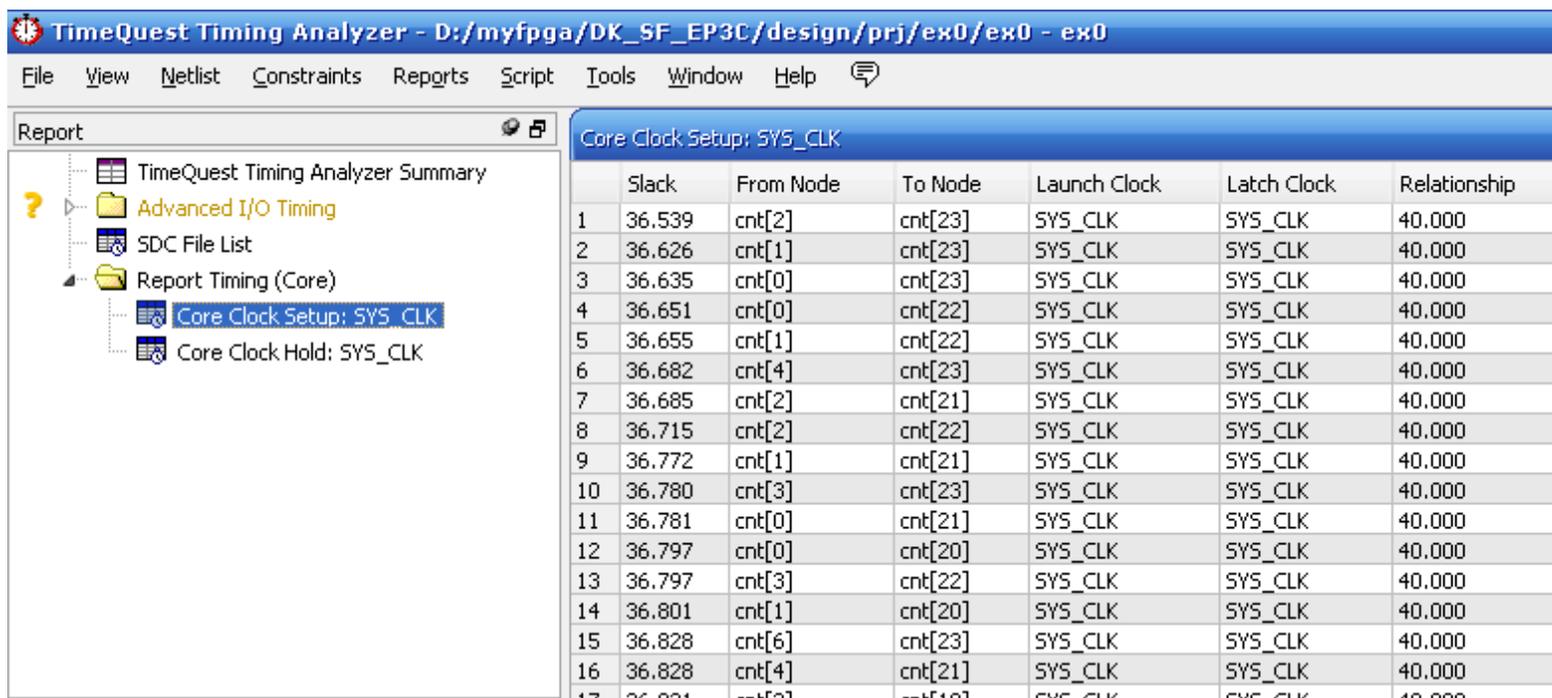
使用Quartus II的TimeQuest对时钟进行约束。该约束将覆盖FPGA内部所有clk管脚作为时钟的reg2reg路径。



时序分析基础

例3：SF-CY3核心板实例

建立时间时序报告。



TimeQuest Timing Analyzer - D:/myfpga/DK_SF_EP3C/design/prj/ex0/ex0 - ex0

File View Netlist Constraints Reports Script Tools Window Help

Report

- TimeQuest Timing Analyzer Summary
- Advanced I/O Timing
- SDC File List
- Report Timing (Core)
 - Core Clock Setup: SYS_CLK
 - Core Clock Hold: SYS_CLK

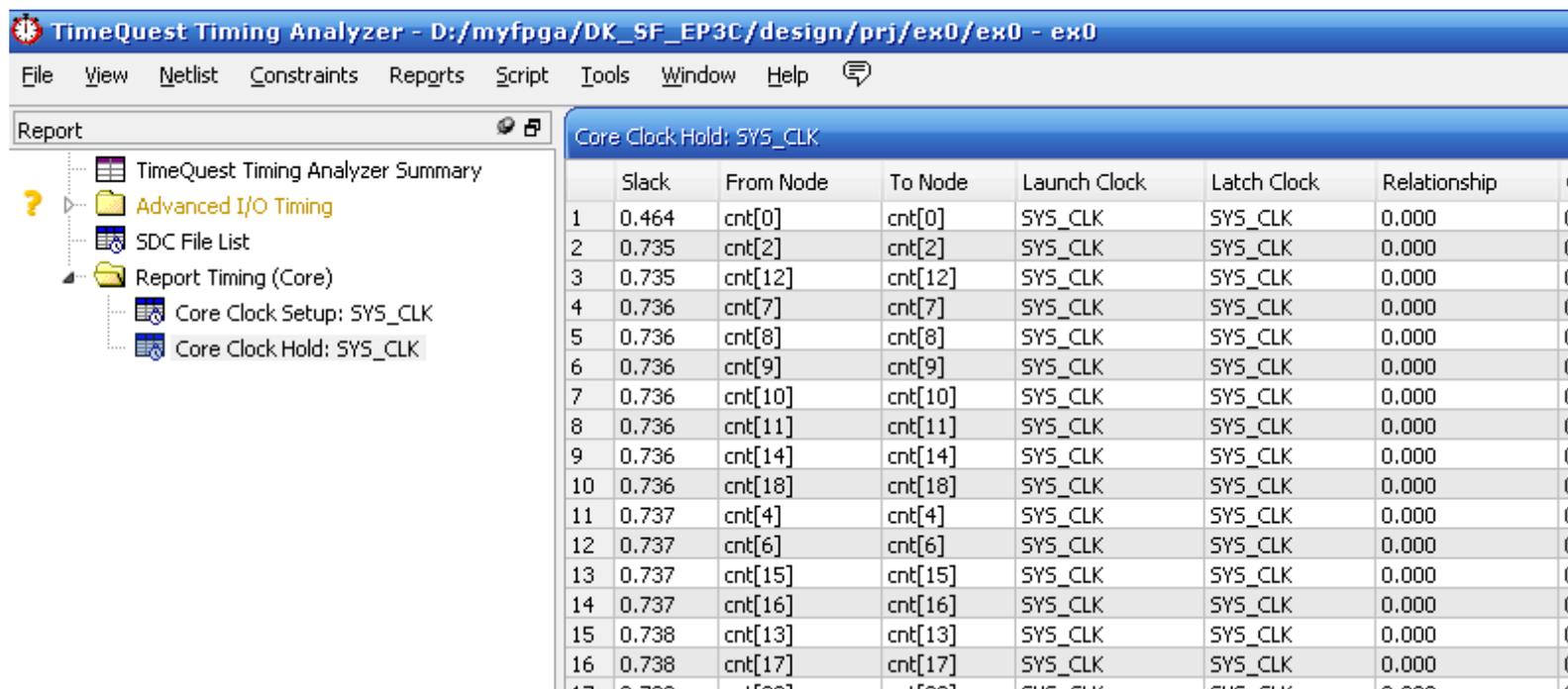
| | Slack | From Node | To Node | Launch Clock | Latch Clock | Relationship |
|----|--------|-----------|---------|--------------|-------------|--------------|
| 1 | 36.539 | cnt[2] | cnt[23] | SYS_CLK | SYS_CLK | 40.000 |
| 2 | 36.626 | cnt[1] | cnt[23] | SYS_CLK | SYS_CLK | 40.000 |
| 3 | 36.635 | cnt[0] | cnt[23] | SYS_CLK | SYS_CLK | 40.000 |
| 4 | 36.651 | cnt[0] | cnt[22] | SYS_CLK | SYS_CLK | 40.000 |
| 5 | 36.655 | cnt[1] | cnt[22] | SYS_CLK | SYS_CLK | 40.000 |
| 6 | 36.682 | cnt[4] | cnt[23] | SYS_CLK | SYS_CLK | 40.000 |
| 7 | 36.685 | cnt[2] | cnt[21] | SYS_CLK | SYS_CLK | 40.000 |
| 8 | 36.715 | cnt[2] | cnt[22] | SYS_CLK | SYS_CLK | 40.000 |
| 9 | 36.772 | cnt[1] | cnt[21] | SYS_CLK | SYS_CLK | 40.000 |
| 10 | 36.780 | cnt[3] | cnt[23] | SYS_CLK | SYS_CLK | 40.000 |
| 11 | 36.781 | cnt[0] | cnt[21] | SYS_CLK | SYS_CLK | 40.000 |
| 12 | 36.797 | cnt[0] | cnt[20] | SYS_CLK | SYS_CLK | 40.000 |
| 13 | 36.797 | cnt[3] | cnt[22] | SYS_CLK | SYS_CLK | 40.000 |
| 14 | 36.801 | cnt[1] | cnt[20] | SYS_CLK | SYS_CLK | 40.000 |
| 15 | 36.828 | cnt[6] | cnt[23] | SYS_CLK | SYS_CLK | 40.000 |
| 16 | 36.828 | cnt[4] | cnt[21] | SYS_CLK | SYS_CLK | 40.000 |
| 17 | 36.831 | cnt[2] | cnt[21] | SYS_CLK | SYS_CLK | 40.000 |



时序分析基础

例3： SF-CY3核心板实例

保持时间时序报告。



| | Slack | From Node | To Node | Launch Clock | Latch Clock | Relationship |
|----|-------|-----------|---------|--------------|-------------|--------------|
| 1 | 0.464 | cnt[0] | cnt[0] | SYS_CLK | SYS_CLK | 0.000 |
| 2 | 0.735 | cnt[2] | cnt[2] | SYS_CLK | SYS_CLK | 0.000 |
| 3 | 0.735 | cnt[12] | cnt[12] | SYS_CLK | SYS_CLK | 0.000 |
| 4 | 0.736 | cnt[7] | cnt[7] | SYS_CLK | SYS_CLK | 0.000 |
| 5 | 0.736 | cnt[8] | cnt[8] | SYS_CLK | SYS_CLK | 0.000 |
| 6 | 0.736 | cnt[9] | cnt[9] | SYS_CLK | SYS_CLK | 0.000 |
| 7 | 0.736 | cnt[10] | cnt[10] | SYS_CLK | SYS_CLK | 0.000 |
| 8 | 0.736 | cnt[11] | cnt[11] | SYS_CLK | SYS_CLK | 0.000 |
| 9 | 0.736 | cnt[14] | cnt[14] | SYS_CLK | SYS_CLK | 0.000 |
| 10 | 0.736 | cnt[18] | cnt[18] | SYS_CLK | SYS_CLK | 0.000 |
| 11 | 0.737 | cnt[4] | cnt[4] | SYS_CLK | SYS_CLK | 0.000 |
| 12 | 0.737 | cnt[6] | cnt[6] | SYS_CLK | SYS_CLK | 0.000 |
| 13 | 0.737 | cnt[15] | cnt[15] | SYS_CLK | SYS_CLK | 0.000 |
| 14 | 0.737 | cnt[16] | cnt[16] | SYS_CLK | SYS_CLK | 0.000 |
| 15 | 0.738 | cnt[13] | cnt[13] | SYS_CLK | SYS_CLK | 0.000 |
| 16 | 0.738 | cnt[17] | cnt[17] | SYS_CLK | SYS_CLK | 0.000 |



时序分析基础

$$\begin{aligned} \text{Data Arrival Time} &= \text{Launch Edge} + T_{c2t} + T_{co} + T_{c2r} \\ &= 0 + 2.733 + 0.261 + (0.858 - 0.261) \end{aligned}$$

$$\begin{aligned} \text{Data Required Time} &= \text{Latch Edge} + T_{c2r} - T_{su} \\ &= 40 + 2.651 - (-0.021) \end{aligned}$$

$$\begin{aligned} \text{Setup time slack} &= \text{Data Required Time} - \text{Data Arrival Time} = 42.672 - 3.591 \\ &= 39.081\text{ns} \end{aligned}$$

例3:

某条路径的建立时间时序报告。

| Command Info | | Summary of Paths | | | | | | |
|--------------|-----------|------------------|--------------|-------------|--------------|------------|------------|-------|
| Slack | From Node | To Node | Launch Clock | Latch Clock | Relationship | Clock Skew | Data Delay | |
| 1 | 39.081 | cnt[0] | cnt[0] | SYS_CLK | SYS_CLK | 40.000 | -0.082 | 0.858 |

| Path #1: Setup slack is 39.081 | | | | | | | |
|--------------------------------|-------|------------|-----------|----------|--------------------------|------------------|---------------------|
| Path Summary | | Statistics | Data Path | Waveform | Extra Fitter Information | | |
| Data Arrival Path | | | | | | | |
| | Total | Incr | RF | Type | Fanout | Location | Element |
| 1 | 0.000 | 0.000 | | | | | launch edge time |
| 2 | 2.733 | 2.733 | | | | | clock path |
| 1 | 2.733 | 2.733 | R | | | | clock network delay |
| 3 | 3.591 | 0.858 | | | | | data path |
| 1 | 2.994 | 0.261 | | UTco | 1 | FF_X1_Y10_N1 | cnt[0] |
| 2 | 2.994 | 0.000 | RR | CELL | 2 | FF_X1_Y10_N1 | cnt[0]q |
| 3 | 2.994 | 0.000 | RR | IC | 1 | LCCOMB_X1_Y10_N0 | cnt[0]~69 datac |
| 4 | 3.476 | 0.482 | RF | CELL | 1 | LCCOMB_X1_Y10_N0 | cnt[0]~69 combout |
| 5 | 3.476 | 0.000 | FF | IC | 1 | FF_X1_Y10_N1 | cnt[0]d |
| 6 | 3.591 | 0.115 | FF | CELL | 1 | FF_X1_Y10_N1 | cntf0] |

| Data Required Path | | | | | | | |
|--------------------|--------|--------|----|------|--------|--------------|---------------------|
| | Total | Incr | RF | Type | Fanout | Location | Element |
| 1 | 40.000 | 40.000 | | | | | latch edge time |
| 2 | 42.651 | 2.651 | | | | | clock path |
| 1 | 42.636 | 2.636 | R | | | | clock network delay |
| 2 | 42.651 | 0.015 | | | | | clock pessimism |
| 3 | 42.672 | 0.021 | | UTsu | 1 | FF_X1_Y10_N1 | cnt[0] |



时序分析基础

$$\begin{aligned} \text{Data Arrival Time} &= \text{Launch Edge} + T_{c2t} + T_{co} + T_{r2r} \\ &= 0 + 2.636 + 0.261 + (0.758 - 0.261) \end{aligned}$$

$$\begin{aligned} \text{Data Required Time} &= \text{Latch Edge} + T_{c2r} + T_h \\ &= 0 + 2.718 + 0.212 \end{aligned}$$

$$\text{Hold time slack} = \text{Data Arrival Time} - \text{Data Required Time} = 3.394 - 2.930 = 0.464\text{ns}$$

例3:

某条路径的保持时间时序报告。

Report Timing (Worst-Case Path)

| Slack | From Node | To Node | Launch Clock | Latch Clock | Relationship | Clock Skew | Data Delay | |
|-------|-----------|---------|--------------|-------------|--------------|------------|------------|-------|
| 1 | 0.464 | cnt[0] | cnt[0] | SYS_CLK | SYS_CLK | 0.000 | 0.082 | 0.758 |

Path #1: Hold slack is 0.464

Path Summary | Statistics | Data Path | Waveform | Extra Filter Information

Data Arrival Path

| Total | Incr | RF | Type | Fanout | Location | Element |
|-------|-------|----|------|--------|------------------|---------------------|
| 0.000 | 0.000 | | | | | launch edge time |
| 2.636 | 2.636 | | | | | clock path |
| 2.636 | 2.636 | R | | | | clock network delay |
| 3.394 | 0.758 | | | | | data path |
| 2.897 | 0.261 | | | 1 | FF_X1_Y10_N1 | cnt[0] |
| 2.897 | 0.000 | FF | CELL | 2 | FF_X1_Y10_N1 | cnt[0]q |
| 2.897 | 0.000 | FF | IC | 1 | LCCOMB_X1_Y10_N0 | cnt[0]~69 datac |
| 3.315 | 0.418 | FR | CELL | 1 | LCCOMB_X1_Y10_N0 | cnt[0]~69 combout |
| 3.315 | 0.000 | RR | IC | 1 | FF_X1_Y10_N1 | cnt[0]d |
| 3.394 | 0.079 | RR | CELL | 1 | FF_X1_Y10_N1 | cnt[0] |

Data Required Path

| Total | Incr | RF | Type | Fanout | Location | Element |
|-------|--------|----|------|--------|--------------|---------------------|
| 0.000 | 0.000 | | | | | latch edge time |
| 2.718 | 2.718 | | | | | clock path |
| 2.733 | 2.733 | R | | | | clock network delay |
| 2.718 | -0.015 | | | | | clock pessimism |
| 2.930 | 0.212 | | | 1 | FF_X1_Y10_N1 | cnt[0] |

Annotations:

- Launch Edge
- Tc2t
- Tco
- Tr2r
- Latch Edge
- Tc2r
- Th



时序分析基础



Thank you

